



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 06232933

(43)Date of publication of application: 19.08.1994

(51)Int.Cl.

H04L 27/22
H04L 7/027

(21)Application number: 05168832

(71)Applicant:

MITSUBISHI ELECTRIC CORP

(22)Date of filing: 08.07.1993

(72)Inventor:

ISHIZU FUMIO

(30)Priority

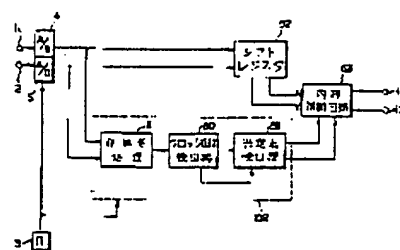
Priority number: 04331682 Priority date: 11.12.1992 Priority country: JP

(54) CLOCK RECOVERY CIRCUIT

(57)Abstract:

PURPOSE: To output decision point data without slip of a recovered clock signal even when a fixed clock sampling demodulator uses the consecutive mode by operating an interpolation circuit for the same period as that of a symbol clock of a reception signal.

CONSTITUTION: A clock phase detector 50 inputs an output signal of a nonlinear processing circuit 8 and a fixed clock signal to calculate an estimated phase difference between the symbol clock of the reception signal and the output of a phase generator and outputs the output of the generator. A decision point detector 51 generates an interpolation start pulse and decision point phase information from the output signal of the detector 50. A shift register 52 is operated by a signal from a fixed oscillator 3 to store an A/D conversion value of Ich, Qch signals subjected to quasi-synchronization detection. Furthermore, an interpolation circuit 53 inputs the timing of a decision point being the output of a clock phase estimate circuit 102 and phase information and fetches the A/D conversion value in the inside of the register 52 and obtains the decision point data of each symbol by the interpolation calculation.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination] 16.05.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3003826

[Date of registration] 19.11.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

[MENU](#) [SEARCH](#) [INDEX](#) [DETAIL](#)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-232933

(43)公開日 平成 6 年(1994) 8 月19日

(51)Int.Cl.⁵

H 0 4 L 27/22

7/027

識別記号

C 9297-5K

7741-5K

庁内整理番号

F I

H 0 4 L 7/ 02

技術表示箇所

A

審査請求 未請求 請求項の数 9 O L (全 28 頁)

(21)出願番号 特願平5-168832

(22)出願日 平成 5 年(1993) 7 月 8 日

(31)優先権主張番号 特願平4-331682

(32)優先日 平 4 (1992)12月11日

(33)優先権主張国 日本 (J P)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72)発明者 石津 文雄

神奈川県鎌倉市大船五丁目 1 番 1 号 三菱

電機株式会社通信システム研究所内

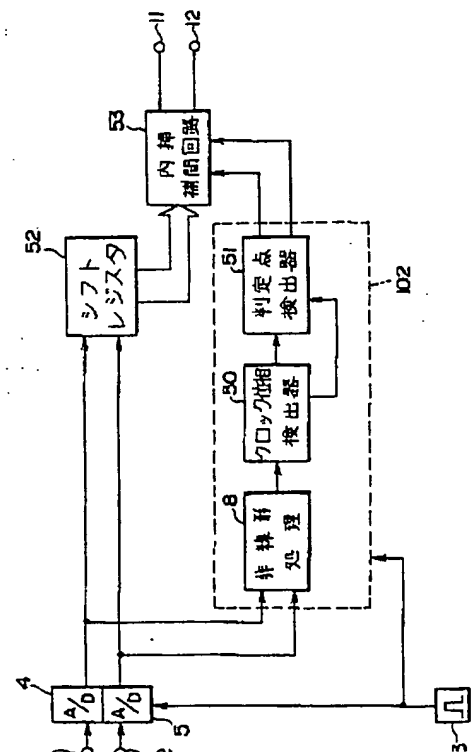
(74)代理人 弁理士 金山 敏彦 (外 2 名)

(54)【発明の名称】 クロック再生回路

(57)【要約】

【目的】 受信信号を固定クロックでサンプリングして、再生クロックを得、シンボルデータを復調する復調器において連続モードで動作させた場合にも再生クロックのスリップを生じることなく、判定点データを出力することが可能なクロック再生回路を得る。

【構成】 準同期検波した受信信号のA/D変換値を蓄えるシフトレジスタ52と、固定クロックで動作する位相発生器の出力値と、受信信号のシンボルクロックとの推定位相差を求め、受信信号のデータを判定する判定点のタイミング情報と位相情報とを出力するクロック位相推定回路102と、クロック位相推定回路の出力信号を入力し、シフトレジスタ52からA/D変換値を取り込み、補間によって判定点データを算出し、出力する内挿補間回路53とを備え、この内挿補間回路が平均的に、シンボルクロックの周期と同一の周期で動作する。



【特許請求の範囲】

【請求項1】 復調器に用いられるクロック再生回路において、

準同期検波受信信号を固定クロックでサンプリングするサンプリング手段と、

上記受信信号のサンプル値を蓄積する蓄積手段と、

上記受信信号のサンプル値からクロック成分を生成する非線形処理手段と、

上記非線形処理手段で非線形処理された信号に基づき、上記受信信号のシンボルクロックと、上記固定クロックで動作する位相発生器の出力値との推定位相差を求めるクロック位相検出手段と、

上記推定位相差に基づき、判定点のタイミング情報と、判定点の位相情報とを生成する判定点検出手段と、

上記判定点のタイミング情報及び判定点の位相情報とに基づき、上記受信信号のサンプル値蓄積手段に蓄積されているサンプル値を入力し、各シンボルの判定点のデータを補間操作により求める内挿補間手段とを備え、上記内挿補間手段は、平均的には、上記受信信号のシンボルクロックと同一の周期で動作することを特徴とするクロック再生回路。

【請求項2】 請求項1記載のクロック再生回路において、

前記クロック位相検出手段の出力信号に基づき、判定点に最も近いサンプリング時刻を抽出し、このサンプリング時刻におけるラッチパルスを生成する判定点検出手段と、

上記ラッチパルスを用いて、前記受信信号のサンプル値蓄積手段に蓄積されているサンプル値を入力し、各シンボルの判定点におけるデータを求めるラッチ回路と、を備え、上記ラッチ回路は、平均的に前記受信信号のシンボルクロックの周期と同一の周期で動作することを特徴とするクロック再生回路。

【請求項3】 請求項1記載のクロック再生回路において、

前記非線形処理手段の出力信号を入力し、前記受信信号のシンボルクロック成分を抽出する帯域通過フィルタと、

上記帯域通過フィルタの抽出するシンボルクロック成分に基づき、判定点のタイミング情報と、判定点の位相情報とを生成する判定点検出手段と、を備えたことを特徴とするクロック再生回路。

【請求項4】 復調器のクロック再生回路において、A/D変換した準同期検波受信信号を非線形処理する非線形処理手段と、

上記非線形処理された信号と、4倍の周波数でオーバーサンプリングされた \cos/\sin 値(±1, 0)とをそれぞれ乗算する乗算手段と、

上記乗算手段による各乗算結果を平均化する平均化手段と、

上記各平均結果と、4倍オーバーサンプリングされた \cos/\sin 値(±1, 0)とをそれぞれ乗算する第2の乗算手段と、

上記第2の乗算手段による乗算結果を加算する加算手段と、

を含むことを特徴とするクロック再生回路。

【請求項5】 復調器のクロック再生回路において、A/D変換した準同期検波受信信号を非線形処理する非線形処理手段と、

上記非線形処理された信号を、受信信号のシンボルレート(1/T)の4倍の周波数で交互に選択する選択手段と、

上記選択された信号を、受信信号のシンボルレート(1/T)の2倍の周波数で交互に反転/非反転し、その結果を平均化した後さらに受信信号のシンボルレート(1/T)の2倍の周波数で反転/非反転する2つの符号反転/平均化手段と、

上記出力値を受信信号のシンボルレート(1/T)の4倍の周波数で交互に選択する第2の選択手段と、

を含むことを特徴とするクロック再生回路。

【請求項6】 復調器のクロック再生回路において、A/D変換した準同期検波受信信号を非線形処理する非線形処理手段と、

上記非線形処理された信号を受信信号のシンボルレート(1/T)の2倍の周波数で反転/非反転する第1の反転/非反転手段と、

上記第1の反転/非反転手段の出力信号の平均値を求める平均化手段と、

上記平均化手段の出力信号を受信信号のシンボルレート(1/T)の2倍の周波数で反転/非反転する第2の反転/非反転手段と、

を含むことを特徴とするクロック再生回路。

【請求項7】 請求項4または請求項5または請求項6に記載されているクロック再生回路において、受信信号のシンボルレート(1/T)の4倍の周波数でオーバーサンプリングされた再生クロック信号を、補間する補間手段と、

を含むことを特徴とするクロック再生回路。

【請求項8】 請求項4または請求項5または請求項6または請求項7に記載されているクロック再生回路において、

前記平均化手段のレベルを検出するレベル検出手段と、上記レベル検出手段の出力信号を用いて、平均化手段が出力する信号のレベルを制御する出力レベル設定手段と、

を含むことを特徴とするクロック再生回路。

【請求項9】 請求項4または請求項5または請求項6または請求項7または請求項8に記載されているクロック再生回路において、

前記平均化手段は、出力する信号のレベルを検出するレベル検出手段と、上記レベル検出手段の出力信号を用いて平均化手段の出

力値をホールドするホールド手段と、
を含むことを特徴とするクロック再生回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、復調機のクロック再生回路に関するものである。

【0002】

【従来の技術】図24は、“全ディジタル化高速クロック再生回路の一検討—蓄積型クロック再生法—”，電子情報通信学会技術研究報告，SAT90-31（1990-11）に示されている従来のクロック再生回路を示す構成ブロック図である。

【0003】図24において、準同期検波されたIch、Qch信号は、入力端子1、2から入力される。固定発振器3は、この受信機の固定クロックを発生し、A/D変換器4、5はこの固定クロックで動作することによってIch、Qch信号をA/D変換する。6、7はA/D変換されたディジタル信号を1スロット長蓄えるランダムアクセスメモリ（以下、RAMと言う）である。そして、RAM1とRAM2とから、2ポートRAM100が構成されている。この2ポートRAM100は、その中に含まれている一方のRAMに信号を蓄えている間は、他方のRAMに蓄えられている信号が処理される。

【0004】8は、A/D変換されたIch、Qch信号を入力し、受信信号からクロック成分を生成する非線形処理回路である。9は、非線形処理回路8の出力信号を入力し、受信信号のシンボルクロックの位相を検出するクロック位相検出器であり、101は、非線形処理回路8とクロック位相検出器9とから構成されるクロック位相推定回路である。また、10はクロック位相推定回路101の出力信号と、2ポートRAM100の出力信号とから補間計算して判定点データを出力する内挿補間回路であり、11、12は内挿補間されたIch、Qchデータを出力する出力端子である。

【0005】図25は、図24の非線形処理回路8の詳細な構成例を示す構成ブロック図である。

【0006】図25において、A/D変換されたIch、Qch信号は、入力端子20、21を介して入力される。入力されたそれぞれの信号は、第一2乗回路22及び第二2乗回路23によってそれぞれ2乗される。これらの

$$P(n) = (I(n))^2 + (Q(n))^2 \quad (1)$$

($n=0, 1, 2, \dots$) ここで、 $I(n)$ 、 $Q(n)$ は、それぞれサンプリング時刻 n におけるA/D変換されたIch、Qch信号を示す。

【0014】次に、非線形処理回路8の出力信号P

(n)は、クロック位相検出器9の入力端子30から入

$$D_c(n) = P(n) \times \cos(\theta_{clk}(n)) \quad (2)$$

$$D_s(n) = P(n) \times \sin(\theta_c)$$

2乗回路22及び23の出力信号は、加算器24によって加算される。この加算結果は出力端子25を介して出力される。

【0007】図26は、図24のクロック位相検出器9の詳細な構成を示す構成ブロック図である。

【0008】図26において、30は、非線形処理回路8の出力信号が入力される入力端子であり、31は固定発振器3の出力クロック信号を入力するクロック入力端子である。位相発生器32は、固定発振器3のクロック信号で動作し、シンボルクロック周期の位相情報（ $0 \sim 2\pi$ または $-\pi \sim +\pi$ ）を出力する。COS/SIN波形発生器33は、位相発生器32の出力値に相当するCOS、SINの値をそれぞれ出力する。入力端子30から入力された信号と、COS/SIN波形発生器の出力信号であるCOS値、SIN値とは、第一乗算器34、第二乗算器35においてそれぞれ乗算される。そして、第一積分器36、第二積分器37は、上記の各乗算器の出力する値を1スロット長積分する。

【0009】位相計算器38は、上記第一及び第二の積分器36、37の出力信号から、受信信号に含まれるシンボルクロックと、位相発生器32の出力値との推定位相差を算出する。さらに、この推定位相差は、出力端子39を通じて出力される。

【0010】この従来のクロック再生回路の動作について次に説明する。

【0011】入力端子1、2に入力される準同期検波されたIch、Qch信号は、受信機の固定発振器3のクロック信号でA/D変換される。この際、固定発振器3の発振周波数はシンボルレートのおよそN倍に設定されている。つまり、N倍のオーバーサンプリングでA/D変換されているのである。

【0012】A/D変換されたIch、Qch信号は、それぞれ2分岐され、一方は2ポートRAM100に、他方は非線形処理回路8に入力される。非線形処理回路8においては、Ich、Qch信号はそれぞれ第一及び第二の2乗回路22、23で2乗されてから、加算器24で加算され、加算結果 $P(n)$ が出力される。これを表したものが式(1)である。

【0013】

力され、2分岐されて、COS/SIN波形発生器の出力信号であるCOS値、SIN値と、第一及び第二の乗算器34、35で乗算され以下の $D_c(n)$ 、 $D_s(n)$ を出力する。

【0015】

$$D_c(n) = P(n) \times \cos(\theta_{clk}(n)) \quad (2)$$

$$D_s(n) = P(n) \times \sin(\theta_c)$$

$$(n) \quad (3)$$

($n=0, 1, 2, \dots$) 上式において、

$$A_{\dots}(n) = 2\pi / N \times n$$

$$(4)$$

(N: オーバーサンプル数) ($n=0, 1, 2, \dots$) ここで、 $\theta_{\text{clk}}(n)$ は、 2π の剰余であり、その取り得る値は $0 \leq \theta_{\text{clk}}(n) < 2\pi$ となる。

【0016】第一及び第二の積分器36、37はそれぞれ

$$S_c = \sum_{k=0}^{L-1} D_c(k) \quad (5)$$

$$S_s = \sum_{k=0}^{L-1} D_s(k) \quad (6)$$

L: 1スロット中のサンプル数

位相計算器38は、上記 S_c 、 S_s を入力とし、受信信号のシンボルクロックと、位相発生器32の出力値との推定位相差 θ_0 (rad)を計算し、出力端子39にこの計算結果を出力する。

$$S_{\text{comp}} = S_c + j S_s$$

この時、 θ_0 は次式で表される。

$$\theta_0 = \arg(S_{\text{comp}})$$

($0 \leq \theta_0 < 2\pi$) つまり、この位相計算器38では、受信信号を2乗した後、受信信号のシンボルクロックの周波数で、離散フーリエ変換(以下、DFTと言う)を行い、受信信号のクロック成分の位相情報を得ている。

【0022】内挿補間回路10は、クロック位相推定回路101の出力信号である推定位相差 θ_0 を用いて、2ポートRAM100に蓄えられた信号を補間し、判定点(ナイキスト波形の場合はナイキスト点)における値を

$$2\pi/N \cdot i \leq \theta_0 < 2\pi/N \cdot (i+1) \quad (9)$$

ただし、 $i: 0 \leq i \leq (N-1)$ の範囲の整数

この時、2ポートRAM100に蓄えられたデータのmシンボル目の判定点の位相 $\theta_D(n)$ は次式に示す範囲

$$N \cdot m + i \leq \theta_D(n) \leq N \cdot m + (i+1) \quad (10)$$

($m=0, 1, 2, \dots$) ただし、 $N \cdot m + (i+1) \leq L-1$

次に、内挿補間回路10は、mシンボル目のIch、Qchそれぞれの判定点データI(m)、Q(m)を補間で求

$$\begin{aligned} I^-(m) &= I(N \cdot m + i) \\ I^+(m) &= I(N \cdot m + i + 1) \\ Q^-(m) &= Q(N \cdot m + i) \\ Q^+(m) &= Q(N \cdot m + i + 1) \end{aligned} \quad (11)$$

そして、次の式を用いて、判定点データI(m)、Q(m)を計算して出力する。

【0027】図27は、Ichについて補間処理の原理を

$$\begin{aligned} I(m) &= \{a \cdot I^-(m) + b \cdot I^+(m)\} / (a+b) \\ Q(m) &= \{a \cdot Q^-(m) + b \cdot Q^+(m)\} / (a+b) \end{aligned} \quad (12)$$

ここで、

$$a = 2\pi/N \cdot (i+1) - \theta_0$$

$$b = \theta_0 - 2\pi/N \cdot i$$

内挿補間回路10は、以上のようにして1スロット分の

れ第一及び第二の乗算器34、35の出力を1スロット長積分し、以下の積分値 S_c 、 S_s を出力する。

【0017】

【0018】以下、 θ_0 の計算方法を示す。

【0019】まず、 S_{comp} を、次式で表される複素数とする。

【0020】

(7)

【0021】

(8)

計算して出力する。以下、補間計算の一例として、ラグランジェの一次補間を用いた方法について示す。

【0023】まず、内挿補間回路10は、推定位相差 θ_0 より2ポートRAM100に蓄えられている信号の判定点の位置を求める。今、 θ_0 が次式に示す範囲内にあるものとする。

【0024】

内に存在する。ここにおいて、Lは1スロット中のサンプル数である。

【0025】

めるため、2ポートRAM100から以下の添字のIch、Qchデータを取り出す。

【0026】

説明する図である。図27から明らかなように、以下の式が導き出される。

【0028】

データを計算し、出力端子11、12からそれぞれ判定点データI(m)、Q(m)を出力する。

【0029】この際、内挿補間回路10が補間のために2ポートRAM100から取り出すデータの個数は適当

する補間方式によって異なり、例えばラグランジェの2次補間の場合は判定点の近傍の3点が用いられる。

【0030】以上、ラグランジェの1次補間について説明したが、ラグランジェの2次補間についても上述した文献に同様に示されている。

【0031】

【発明が解決しようとする課題】上記図24、25、26、27に示されている第1の従来のクロック再生回路は上述したように構成されているので、再生クロックは、位相発生器の出力値と受信信号のシンボルクロックとの推定位相差を基にして生成される。従って、再生クロックの周期は固定クロックで動作する位相発生器の出力信号の周期となってしまう。

【0032】つまり、従来のクロック再生回路における再生クロックは位相発生器の出力値との位相差のみ校正され、周波数差は制御されていない。

【0033】従って、受信信号のシンボルクロックと位相発生器の出力値との推定位相差がいわゆるバースト中においてほとんど変化しないようなバーストモードを利用した通信の場合は問題は生じないが、連続モードの場合は上記の推定位相差の変化が無視できなくなり、再生クロックのスリップが発生するという問題があった。

【0034】本願発明は、上記課題を解消するためになされたもので、その目的は、受信信号を固定クロックでサンプリングする復調器において、連続モードの場合も再生クロックのスリップを生ずることなく、判定点データを出力することが可能なクロック再生回路を得ることである。

【0035】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の本発明は、復調器に用いられるクロック再生回路において、準同期検波した受信信号を固定クロックでサンプリングするサンプリング手段と、上記受信信号のサンプル値を蓄積する蓄積手段と、上記受信信号からクロック成分を生成する非線形処理手段と、上記非線形処理手段で非線形処理された信号に基づき、上記受信信号のシンボルクロックと、上記固定クロックで動作する位相発生器の出力値との推定位相差を求めるクロック位相検出手段と、上記推定位相差に基づき、判定点のタイミング情報と、判定点の位相情報とを生成する判定点検出手段と、上記判定点のタイミング情報及び判定点の位相情報とに基づき、上記受信信号のサンプル値蓄積手段に蓄積されているサンプル値を入力し、各シンボルの判定点のデータを補間操作により求める内挿補間手段とを備え、上記内挿補間手段は、平均的には、上記受信信号のシンボルクロックと同一の周期で動作することを特徴とするクロック再生回路である。

【0036】上記課題を解決するために、請求項2記載の本発明は、請求項1記載のクロック再生回路において、前記クロック位相検出手段の出力信号に基づき、判

定点に最も近いサンプリング時刻を抽出し、このサンプリング時刻におけるラッチパルスを生成する判定点検出手段と、上記ラッチパルスを用いて、前記受信信号のサンプル値蓄積手段に蓄積されているサンプル値を入力し、各シンボルの判定点におけるデータを求めるラッチ回路と、を備え、上記ラッチ回路は、平均的に前記受信信号のシンボルクロックの周期と同一の周期で動作することを特徴とするクロック再生回路である。

【0037】上記課題を解決するために、請求項3記載の本発明は、請求項1記載のクロック再生回路において、前記非線形処理手段の出力信号を入力し、前記受信信号のシンボルクロック成分を抽出する帯域通過フィルタと、上記帯域通過フィルタの抽出するシンボルクロック成分に基づき、判定点のタイミング情報と、判定点の位相情報とを生成する判定点検出手段と、を備えたことを特徴とするクロック再生回路である。

【0038】上記課題を解決するために、請求項4記載の本発明は、復調器のクロック再生回路において、 Λ/D 変換した準同期検波受信信号を非線形処理する非線形処理手段と、上記非線形処理された信号と、4倍の周波数でオーバーサンブルされた \cos/\sin 値($\pm 1, 0$)とをそれぞれ乗算する乗算手段と、上記乗算手段による各乗算結果を平均化する平均化手段と、上記各平均結果と、4倍オーバーサンブルされた $\cos/-\sin$ 値($\pm 1, 0$)とをそれぞれ乗算する第2の乗算手段と、上記第2の乗算手段による乗算結果を加算する加算手段と、を含むことを特徴とするクロック再生回路である。

【0039】上記課題を解決するために、請求項5記載の本発明は、復調器のクロック再生回路において、 Λ/D 変換した準同期検波受信信号を非線形処理する非線形処理手段と、上記非線形処理された信号を、受信信号のシンボルレート $\times 4$ の周波数で交互に選択する選択手段と、上記選択された信号を、受信信号のシンボルレート $\times 2$ の周波数で交互に反転/非反転し、その結果を平均化した後さらに受信信号のシンボルレート $\times 2$ の周波数で反転/非反転する2つの符号反転/平均化手段と、上記出力値を受信信号のシンボルレート $\times 4$ の周波数で交互に選択する第2の選択手段と、を含むことを特徴とするクロック再生回路である。

【0040】上記課題を解決するために、請求項6記載の本発明は、復調器のクロック再生回路において、 Λ/D 変換した準同期検波受信信号を非線形処理する非線形処理手段と、上記非線形処理された信号を受信信号のシンボルレート $\times 2$ の周波数で反転/非反転する第1の反転/非反転手段と、上記第1の反転/非反転手段の出力信号の平均値を求める平均化手段と、上記平均化手段の出力信号を受信信号のシンボルレート $\times 2$ の周波数で反転/非反転する第2の反転/非反転手段と、を含むことを特徴とするクロック再生回路である。

【0041】上記課題を解決するために、請求項7記載の本発明は、請求項4から請求項6までに記載されているクロック再生回路において、受信信号のシンボルレートの4倍の周波数でオーバーサンプリングされた再生クロック信号を、補間する補間手段と、を含むことを特徴とするクロック再生回路である。

【0042】上記課題を解決するために、請求項8記載の本発明は、請求項4から請求項7に記載されているクロック再生回路において、前記平均化手段のレベルを検出するレベル検出手段と、上記レベル検出手段の出力信号を用いて、平均化手段が出力する信号のレベルを制御する出力レベル設定手段と、を含むことを特徴とするクロック再生回路である。

【0043】上記課題を解決するために、請求項9記載の本発明は、請求項4から請求項8に記載されているクロック再生回路において、前記平均化手段は、出力する信号のレベルを検出するレベル検出手段と、上記レベル検出手段の出力信号を用いて平均化手段の出力値をホールドするホールド手段と、を含むことを特徴とするクロック再生回路である。

【0044】

【作用】請求項1記載のクロック再生回路では、固定クロックで動作する位相発生器の出力値から受信信号のシンボルクロックの推定位相差を減算した値を基に生成した判定点のタイミング情報と判定点の位相情報とを用い、受信信号のサンプル値蓄積手段からサンプル値を取り込んで、各シンボルの判定点のデータを補間計算により求める内挿補間手段を備えて、平均的に受信信号のシンボルクロック周期で動作させることにより、再生クロックのスリップを生ずることなく、判定点データを出力することができる。

【0045】請求項2記載のクロック再生回路では、固定クロックで動作する位相発生器出力値から受信信号のシンボルクロックの推定位相差を減算した値を基に判定点に最も近いサンプリング時刻を抽出して生成したラッチパルスを用い、受信信号のサンプル値蓄積手段からサンプル値を取り込み、各シンボルの判定点データを求めるラッチ回路を備えて、平均的に受信信号のシンボルクロック周期で動作させることにより、再生クロックのスリップを生じることなく判定点データを出力することができる。

【0046】請求項3記載のクロック再生回路では、受信信号のシンボルクロック成分を抽出する帯域通過フィルタ出力値を基に生成した判定点のタイミング情報と判定点の位相情報とを用い、受信信号のサンプル値蓄積手段からサンプル値を取り込み、各シンボルの判定点のデータを補間計算により求める内挿補間手段を備えて、平均的に受信信号のシンボルクロック周期で動作させることにより、再生クロックのスリップを生ずることなく判定点データを出力することができ

【0047】請求項4記載のクロック再生回路によれば、非線形処理回路出力にシンボルレート周期の \cos 、 $-\sin$ 値をそれぞれ乗算し、平均化の後、各平均結果に先と同じ \cos 、 $-\sin$ 値を乗算し、加算することによって、平均的に受信信号のシンボルクロック周期で動作させることにより、再生クロックのスリップを生ずることなく判定点データを出力することができる。さらに、4倍の周波数でオーバーサンプリングした \cos 、 $-\sin$ の値、すなわち ± 1 、0を用いることにより、 \cos 、 $-\sin$ の値を乗算する乗算部において、通常の乗算器を用いる必要がなく、反転/非反転/0選択を行うのみで演算が行える。従って、小規模なハードウェアで、クロック再生回路が構成可能である。

【0048】請求項5記載のクロック再生回路によれば、非線形処理された信号を、受信信号のシンボルレートの4倍の周波数で交互に選択し、2個の反転/非反転+平均化+反転/非反転部分をシンボルレートの4倍の周波数で交互に動作を行わせ、この動作の結果である出力値をシンボルレートの4倍の周波数で交互に選択して出力した。従って、低消費電力でハードウェア規模の小さいクロック再生回路が得られる。

【0049】請求項6記載のクロック再生回路によれば、非線形処理された信号を、受信信号のシンボルレートの2倍の周波数で反転/非反転し、2種類の記憶機能を有する1つの平均化回路で交互に平均化し、その出力値をシンボルレートの2倍の周波数で反転/非反転することで、低消費電力でハードウェア規模の小さいクロック再生回路を得る。

【0050】請求項7記載のクロック再生回路によれば、請求項4～6に記載されているクロック再生回路において、4倍のオーバーサンプリングされた出力再生クロックを補間する手段を備えているので、より精度の良い再生クロックが得られる。請求項8記載のクロック再生回路によれば、請求項4～7に記載されているクロック再生回路において、平均化部の出力信号のレベルを検出し、平均化部の出力レベルを制御することで、その出力信号の振幅を一定の値に抑える。従って、ハードウェア規模の小さいクロック再生回路が得られる。

【0051】請求項9記載のクロック再生回路によれば、平均化部の出力信号のレベルを検出し、その検出値に応じて平均化部の出力値をホールドすることによって、フェージングなどにより信号が消失してしまった場合でも、再生クロック位相が発散してしまうことを防止することができる。

【0052】

【実施例】以下、この発明の好適な実施例を図面に基づいて説明する。

【0053】実施例1

図1には、本発明のクロック再生回路の好適な実施例1の構成ブロック図が示されている。図1において、1は

従来例と同一の部分には同一符号が示されている。図1において、クロック位相検出器50は、非線形処理回路8の出力信号と、固定クロックとを入力し、受信信号のシンボルクロックと上記位相発生器32の出力値との推定位相差を算出するとともに、上記位相発生器32の出力値を外部に送出する。

【0054】判定点検出器51は、クロック位相検出器50の出力信号から、補間スタートパルス（判定点のタイミング情報）と、判定点の位相情報とを生成する。クロック位相推定回路102は、従来と同様の非線形処理回路8と上記のクロック位相検出器50と判定点検出器51とを有している。

【0055】シフトレジスタ52は、固定発振器3の出力するクロック信号で動作し、準同期検波されたI_{ch}、Q_{ch}信号のA/D変換値を蓄える。また、内挿補間回路53は、クロック位相推定回路102が出力する判定点のタイミング情報と、判定点の位相情報とを入力し、上記シフトレジスタ52内部のA/D変換値を取り込み、各シンボルの判定点データを補間計算により求める。

【0056】図2は、図1のクロック位相検出器50の具体的な構成例を示す構成図である。図2において、第1及び第2の積分器60、61は、クロック再生回路の時定数に相当する時間長における積分を行い、位相発生器32の出力値は、外部出力端子62を介して外部に出力される。

【0057】図3は図1の判定点検出器51の具体的な構成例を示す構成図である。図3において、上記クロック位相検出器50の出力信号である推定位相差（以下、受信信号のシンボルクロックの推定位相差と言う）は、入力端子63から入力される。この推定位相差は受信信号のシンボルクロックと固定発振器3のクロックで動作する位相発生器32との出力値との位相差である。ま

$$\theta_R(n) = \text{MOD} \{ \theta_{\text{clk}}(n) - \theta_0(n), 2\pi \} \quad (21)$$

ここで、 $\theta_R(n)$ は固定発振器3のクロックで動作しているが、出力値は受信信号に含まれるシンボルクロック成分の位相になる。よって、 $\theta_R(n)$ は周波数及び位相ともに受信信号に含まれるシンボルクロック成分を表現している。

【0064】次に、立上り検出器は内部で次式に示すように、 $\theta_R(n)$ の符号を判定する。

【0065】

$$\theta_{\text{SIGN}}(n) = +1, \quad \theta_R(n) \geq 0 \text{ の場合} \\ = -1, \quad \theta_R(n) < 0 \text{ の場合} \quad (22)$$

そして、 $\theta_{\text{SIGN}}(n)$ が-1から+1に遷移した場合に、そのサンプル点間に判定点が存在すると判断して補間スタートパルスが出力される。

【0066】図4には、補間スタートパルス生成の一例を示すタイミングチャートが示されている。この場合、4倍のオーバーサンプリングで推定位相差 $\theta_0(n)$ が17.9度から18.1度に変化した場合が示されている。

た、位相発生器32の出力値は入力端子64を介して入力される。

【0058】減算器65は、入力端子64から入力される位相は発生器32の出力値から、入力端子63から入力された受信信号のシンボルクロックの推定位相差を減算する。剰余回路66は、減算器65の出力値の 2π の剰余（ $-\pi \sim +\pi$ ）を算出する。そして、立上り検出器67は、この剰余回路66の出力値が負から正に遷移したことを検知して補間スタートパルスを出力し、このスタートパルスは出力端子68を介して出力される。また、上記剰余回路66の出力信号は出力端子69を介して出力される。

【0059】次に、図1、2、3を参照して、実施例1の動作について説明する。

【0060】準同期検波されたI_{ch}、Q_{ch}信号はA/D変換器4、5でA/D変換された後、2分岐され、一方はクロック位相推定回路102へ入力し、他方は固定発振器3のクロック信号で動作するシフトレジスタ52に入力される。そして、受信信号のシンボルクロックと固定クロックで動作する位相発生器32の出力値との推定位相差は、クロック位相推定回路102において従来と同様の方法により算出される。

【0061】本実施例においては、上記推定位相差の値の時間的な変化が無視できない連続モードの場合にも適用することを目的としているので、この推定位相差を時変変数 $\theta_0(n)$ で表現する。

【0062】位相発生器32の出力値 $\theta_{\text{clk}}(n)$ から減算器65において上記推定位相差 $\theta_0(n)$ を減算し、この減算結果は 2π の剰余回路66により $-\pi \sim +\pi$ の範囲に抑えられる。次式(21)に 2π の剰余回路66の出力信号 $\theta_R(n)$ を示す。

【0063】

$$\theta_R(n) = \text{MOD} \{ \theta_{\text{clk}}(n) - \theta_0(n), 2\pi \} \quad (21)$$

【0067】内挿補間回路53は補間スタートパルスを入力し、シフトレジスタ52に蓄えられているA/D変換値を取り込む。ここで、補間スタートパルスの出力タイミングの位相発生器32の出力値を θ_p とすると、シフトレジスタ52の中心部には、2乗して加算した後に第一及び第二の乗算器34、35で θ_p を乗算したA/D変換値が位置するように、シフトレジスタ52の段数が設定されている。

【0068】なお、位相発生器32の出力信号は 2π の周期性を有しているのでn周期（ $n=0, 1, 2, \dots$ ）前のA/D変換値でも同様の作用・効果が得られる。

【0069】内挿補間回路53は、取り込んだA/D変換値と、判定点の位相情報である 2π の剰余回路66の出力信号を用いて、各シンボルの判定点データを補間計算により求め、この判定点データはI_{ch}及びQ_{ch}の出力端子11及び12から出力される。

【0070】以上の様に、本実施例1において、図1

1の判定点検出器51の一例として図3を参照して説明したが、他の例を図5を参照することにより説明する。図5において、図3と同一部分には同一符号が示されている。図5において、剰余回路70は、減算器65の出力値について 2π の剰余($0\sim 2\pi$)を通る。遅延回路71は、 2π の剰余回路70の出力信号を固定発振器3の1クロック時間だけ遅延させる。そして、減算器72は、遅延回路71の出力値から、 2π の剰余回路70の出力値を減算し、コンパレータ73は、この減算器72の出力値が所定のしきい値を越えた場合に補間スタートパルスを出力する。

【0071】図5に示されている判定点検出器51の動作について説明する。減算器65の出力信号は 2π の剰余回路70によってその出力値が $0\sim 2\pi$ の範囲に制限されている。 2π の剰余回路70の出力信号は3分岐され、それぞれ遅延回路71と、減算器72と、内挿補間回路53に入力される。 2π の剰余回路70の出力値を $R(n)$ とすると、減算器72の出力 $W(n)$ は次式で示される。

【0072】

$$W(n) = R(n-1) - R(n) \quad (23)$$

2π の剰余回路70の出力値 $R(n-1)$ と $R(n)$ との間で再生クロックの立上りが存在する場合、位相は 2π から0に変化するため、2つのサンプリングの間での位相変化量 $W(n)$ は大きくなる。

【0073】従って、上記 $W(n)$ をコンパレータ73に供給し、このコンパレータ73において上記 $W(n)$ が所定のしきい値を越えた場合には再生クロックの立上りが存在したと判断されるため、補間スタートパルスが出力される。

【0074】実施例2

図6は、本発明のクロック再生回路の好適な実施例2を示す構成ブロック図である。図6において、シフトレジスタ80は、固定クロックで動作し、準同期検波された I_{ch} 、 Q_{ch} 信号のA/D変換値を蓄える。また、判定点検出器81は、クロック位相検出器50の出力信号(位相発生器32の出力信号と、受信信号のシンボルクロックの推定位相差)に基づき、判定点に最も近いサンプリング時刻を抽出し、ラッチパルスを生成する。

【0075】クロック位相推定回路103は、非線形処理回路8と、クロック位相検出器50と、判定点検出器81とを含み、ラッチ回路82は、クロック位相推定回路103の出力信号であるラッチパルスを用いて、上記シフトレジスタ80内のA/D変換値を取り込み各シンボルの判定点データを求める。

【0076】図7には、図6に示されている判定点検出器81の一構成例を示す構成ブロック図が示されている。図7において絶対値回路90は、 2π の剰余回路66の出力信号の絶対値を算出する。遅延回路91は、絶対値回路90の出力信号を固定発振器3が出力するクロ

ック信号の1クロック分遅延させる。また、コンパレータ92は、絶対値回路90の出力信号と、遅延回路91の出力信号とを比較し、第2の遅延回路93は、立上り検出器67の出力パルスを、固定発振器3が出力するクロック信号の1クロック分遅延させる。また、セクタ94は、立上り検出器67の出力信号と、上記第2の遅延回路93の出力信号とを入力し、上記コンパレータ92の出力信号に基づきいずれか一方の信号を出力する。また、このセクタ94によって選択された一方の信号は外部出力端子95を介して外部に出力される。

【0077】次に実施例2の動作について説明する

【0078】図7に示されている判定点検出器81の立上り検出器67は、上記実施例1と同様の方法によって2つのサンプリング点間に判定点があることを検出することによって、ラッチパルスを出力する。 2π の剰余回路66の出力信号は、絶対値回路90に入力され、この絶対値回路90の出力値と、この出力値を遅延回路91で1クロック遅延させた値とがコンパレータ92で比較される。この比較の結果によって、上記ラッチパルスの前と後のサンプリング点のどちらの点が判定点に近いかが検出される。そして、上記セクタ94は、コンパレータ92の出力信号を受信し、以前のサンプリングが判定点に近い場合には立上り検出器67の出力信号を選択し、後のサンプリング点が判定点に近い場合には遅延回路93の出力信号を選択する。

【0079】そして、選択された出力信号のラッチパルスは出力端子95を介して外部に出力され、ラッチ回路82に入力される。

【0080】このようにして、ラッチ回路82は、ラッチパルスを入力し、シフトレジスタ80内において判定点に最も近い I_{ch} 、 Q_{ch} 信号のサンプル値をラッチし、各シンボルの判定点データとして出力端子11、12を介してこの値を出力する。

【0081】本実施例には上記実施例1と比べて補間回路による補間計算を行わず、ラッチ回路を用いたため、クロック再生回路の構成が簡単となる利点を有する。

【0082】実施例3

図8には、本発明のクロック再生回路の好適な実施例3を示す構成ブロック図が示されている。図8において、中心周波数が受信信号のシンボルクロック周波数と同一である帯域通過フィルタ200(BPFと言う)が備えられており、判定点検出器201は前記BPF200の出力信号に基づき補間スタートパルスと、判定点位相情報とを生成する。また、位相推定回路104は、非線形処理回路8と、BPF200と、判定点検出器201とを有する構成である。

【0083】図9には、図8に記載されている判定点検出器201の構成例を示す構成ブロック図が示されている。図9において、BPF200の出力信号は入力端子202を介して外部に出力され、立上り検出器203は

入力端子210から入力される入力信号の立上りを検出することによって補間スタートパルスを出力する。そして、位相差検出器212は、入力信号の位相情報を検出し、補間スタートパルスは出力端子213を介して出力され、位相情報は出力端子214を介して出力される。

【0084】次に、本実施例3の動作について説明する。

【0085】非線形処理回路8の出力信号は、その中心周波数が受信信号のシンボルクロック周波数と等しいBPFに入力され、BPFにおいて受信信号のシンボルクロック成分が抽出される。ここで、BPFの中心周波数は、上述したようにシンボルクロック周波数であり、その帯域はクロック再生回路の動作する時定数に設定されている。

【0086】図10は、帯域制限フィルタの出力信号の一例を示す図である。図10においては、4倍のオーバーサンプリングによってA/D変換された場合が示されている。図10において、点線で示されている正弦波は抽出されたシンボルクロック成分を表し、実線は実際のサンプル値であってBPF200の出力信号を表す。

【0087】判定点検出器201は、入力端子210を介して上述したBPF200の出力値を取り込み、立上り検出器211によって各サンプリング点間において前述した式22に示されている $\theta_R(n)$ の符号が負から正に変化するタイミングが検出され、補間スタートパルスが出力端子213を介して出力される。また、位相差検出器212は、補間スタートパルスが出力される前及び後におけるBPF200の出力信号の値に基づき、サンプリング点とクロス点との位相差を検出し、これを出力端子214から出力する。なお、ここに述べた位相差検出方法は、例えば予め補間スタートパルスが出力される前及び後におけるBPF200の出力値と位相差との関係をROMに格納しておき、上述した前と後におけるBPF200の出力値をアドレスとして上記ROMに供給し、そのデータ出力を位相差として利用することも好適である。

【0088】そして、内挿補間回路53は、クロック位相推定回路104から出力される補間スタートパルス及び位相情報とに基づき、シフトレジスタ52からA/D変換値を入力し、補間計算を行う。このようにして求められた判定点データは、1ch及びQchの出力端子11及び12から出力される。

【0089】本実施例は上記実施例1と比べて、クロック位相検出器による離散フーリエ変換を行わず、帯域通過フィルタ(BPF200)を用いたため、その構成がより簡便なものとなる。

【0090】実施例4

以下、請求項4によるクロック再生回路の好適な実施例4について説明する。図11は、本実施例4のクロック再生回路の構成を示すブロック構成図であり、機能とし

ては実施例3[図8]のクロック位相推定回路104部分に相当する。(但し、出力端子は1つになっている。)図11において、固定発振器420は受信信号のシンボルクロック周波数のほぼ4倍の周波数で発振する。カウンタ421は、固定発振器420が出力するクロック信号により動作するModulo4のカウンタであり、COS/-SIN出力回路422は、カウンタ421の出力信号を入力し、COS及び-SIN値を出力する。また、第1の乗算器423は、非線形処理回路402の出力値とCOS/-SIN出力回路422のCOS出力値を乗算し、第2の乗算器424は、非線形処理回路402の出力値とCOS/-SIN出力回路422の-SIN出力値とを乗算し、低域通過フィルタ425及び426はそれぞれ第1及び第2の乗算器423、424の出力値を平均する。第3の乗算器427は、第1の低域通過フィルタ425の出力信号とCOS/-SIN出力回路422のCOS出力値とを乗算し、第4の乗算器428は、第2の低域通過フィルタ426の出力信号とCOS/-SIN出力回路422の-SIN出力値とを乗算する。そして、加算器429は、第3及び第4の乗算器427、428の出力信号を加算する。

【0091】非線形処理回路402の出力信号に含まれるクロック成分の周波数を f_{clk} とすると、低域通過フィルタ425、426の出力信号からは、受信機の固定発振器の周波数 f_1 との周波数偏差 Δf が出力される。本実施例においては、この周波数偏差 Δf に再び受信機の固定発振周波数 f_1 を乗算しているので、出力されるクロックの周波数は $\Delta f + f_1$ となる。

【0092】図12には、図11に示されている乗算器の構成の一例が記載されている。図12に記載されているように、入力端子430を介して入力された入力信号は、反転回路431によりその符号が反転されている。一方、入力端子432を介して入力されたCOS/-SIN出力回路422の出力信号に基づき、セクタ433は、入力端子430から入力された入力信号、もしくはその符号を反転した信号、もしくは“0”の信号のうちいずれか1個の信号を選択して出力する。そしてこのセクタ433の出力信号は出力端子434を介して出力される。

【0093】非線形処理回路402は受信信号からシンボルクロック成分を生成し、第1及び第2の乗算器423、424はこのシンボルクロック成分を入力する。ここでは、非線形処理回路402の出力値を $X(n)$ で表す。この n はサンプルタイミングを示す整数である。一方、固定発振器420は、上述したシンボルクロック周波数のほぼ4倍の周波数で動作しており、この4倍の周波数のクロックで動作するModulo4カウンタ421は受信信号のシンボルクロックの1周期中にほぼ(0、1、2、3)のように1周する。ここで、COS/-SIN出力回路422は、カウンタ421の出力値

を入力し、COS、-SINの値をそれぞれ出力するが、カウンタ421の出力信号(0、1、2、3)を(0、 $\pi/2$ 、 π 、 $3\pi/2$)とみなして、COS側からは(1、0、-1、0)を、-SIN側からは(0、-1、0、1)がそれぞれ出力される。

【0094】第1及び第2の乗算器423、424はそれぞれ非線形処理回路402の出力信号とCOS値、及び-SIN値を乗算するが、上述したようにCOS/-SIN出力回路422の出力信号は(±1、0)の値しかとらないため、第1及び第2の乗算器423、424の出力信号は符号反転/非反転/0の3通りのいずれかに限られる。従って、第1及び第2の乗算器423、424の構成は図12のように簡略化される。非線形処理回路402の出力信号は、入力端子430から入力され、COS/-SIN出力回路422の出力値が“1”の場合にはそのまま出力端子434から出力され、一方この出力値が“-1”の場合には符号反転回路431の出力信号が選択され、“0”の場合には0が出力される。よって、第1及び第2の乗算器423、424はいわゆる通常の乗算器である必要はなく、簡単な構成で実現可能である。

【0095】第1及び第2の乗算器423、424の出力値をそれぞれ $X_{m1}(n)$ 、 $X_{m2}(n)$ とするとそれぞれ次式で表される。

【0096】

$$X_{m1}(n) = X(n) \cdot \cos(n \cdot \pi/2)$$

$$= (-1)^{n/2} \cdot X(n) \quad : n \text{ は偶数}$$

$$= 0 \quad : n \text{ は奇数}$$

$$X_{m2}(n) = X(n) \cdot -\sin(n \cdot \pi/2)$$

$$X_{m3}(n) = X_{ave1}(n) \cdot \cos(n \cdot \pi/2)$$

$$= (-1)^{n/2} \cdot X_{ave1}(n)$$

$$= (-1)^{n/2} (1/2) E_{n:even}[X(n)]$$

$$: n \text{ は偶数}$$

$$= 0 \quad : n \text{ は奇数}$$

$$X_{m4}(n) = X_{ave2}(n) \cdot -\sin(n \cdot \pi/2)$$

$$= 0 \quad : n \text{ は偶数}$$

$$= (-1)^{(n-1)/2+1} \cdot X_{ave2}(n)$$

$$= (-1)^{(n-1)/2+1} (1/2) E_{n:odd}[X(n)]$$

$$: n \text{ は奇数}$$

… (26)

そして、第3及び第4の乗算器427、428の出力信号は、加算器429において加算され、その加算された信号が出力端子412を通じて外部に出力される。加算

$$X_{add}(n) = X_{m3}(n) + X_{m4}(n)$$

$$= (-1)^{n/2} \cdot X_{ave1}(n)$$

$$= (-1)^{n/2} (1/2) E_{n:even}[X_{m1}(n)]$$

$$: n \text{ は偶数}$$

$$= (-1)^{(n-1)/2+1} \cdot X_{ave2}(n)$$

$$= (-1)^{(n-1)/2+1} (1/2) E_{n:odd}[X_{m2}(n)]$$

$$: n \text{ は奇数}$$

$$= 0 \quad : n \text{ は偶数}$$

$$= (-1)^{(n-1)/2+1} \cdot X(n) \quad : n \text{ は奇数}$$

… (24)

次に、低域通過フィルタ425、426はそれぞれ第1及び第2の乗算器423、424の出力信号 $X_{m1}(n)$

$X_{m2}(n)$ を平均し、雑音成分を除去する。時刻nにおける低域通過フィルタ425、426の出力値をそれぞれ $X_{ave1}(n)$ 、 $X_{ave2}(n)$ とすると、それらは例えば次式で表される。

$$X_{ave1}(n) = E[X_{m1}]$$

$$= (1/2) E_{n:even}[X_{m1}(n)]$$

$$X_{ave2}(n) = E[X_{m2}]$$

$$= (1/2) E_{n:odd}[X_{m2}(n)]$$

… (25)

ここにおいて、 $E[\cdot]$ は平均化を表し、 $E_{n:even}[\cdot]$ はnが偶数番目の信号のみの平均化を表し、一方 $E_{n:odd}[\cdot]$ はnが奇数番目の平均化をそれぞれ表す。そして、低域通過フィルタ425、426の出力信号はそれぞれCOS/-SIN出力回路422の出力信号のCOS値、-SIN値と、第1及び第2の乗算器427、428において乗算されるが、上述したようにCOS/-SIN出力回路422の出力値は(±1、0)しかとらないので、第3及び第4の乗算器427、428も図12に示されているような簡単な構成で実現可能である。第3及び第4の乗算器427、428の出力値 $X_{m3}(n)$ 、 $X_{m4}(n)$ はそれぞれ次式で表される。

【0097】

器429の出力値 $X_{add}(n)$ は次式で表される。

【0098】

… (27)

従って、本実施例4によるクロック再生回路は、加算器429から出力されるクロック成分は受信信号に含まれるシンボルクロックのため、再生クロックのスリップが生じることはない。また、非線形処理回路、反転回路、低域通過フィルタ、加算器、Modulo4カウンタのみの構成で、シンボルクロック成分の抽出が可能である。なお、COS/−SIN出力回路422は、COS/SIN出力回路を用いても同様の効果が得られる。

【0099】実施例5

図13は、実施例5によるクロック再生回路の構成を示すブロック構成図である。図13において、セクタ440は、受信信号のシンボルクロック周波数のほぼ4倍の周波数で交互に出力部を切り替える。

【0100】また、符号判定回路441は、シンボルクロック周波数のほぼ2倍の周波数で符号反転/非反転を切り替える。第2の符号反転回路443は、低域通過フィルタ442の出力信号を入力し、上述した第1の符号反転回路441と同期して動作を行う。そして、第1の符号反転/平均化部450は、第1の符号反転回路441と、低域通過フィルタ442と、第2の符号反転回路443とを含み、シンボルクロック周波数のほぼ2倍の周波数で動作を行う。第3の符号反転回路444は、上述した第1の符号反転回路441と同一の周期で符号反転/非反転を切り替え、第4の符号反転回路446は、低域通過フィルタ445の出力信号を入力し、第3の符号反転回路444と同期して動作を行う。第2の符号反転/平均化部451は、第3の符号反転回路444と、低域通過フィルタ445と、第4の符号反転回路446とを含む。また、第2のセクタ447は、第1のセクタ440と同期して同一の符号反転/平均化部を選択する。なお、図14には、第1及び第2のセクタ440、447の制御信号、第1〜第4の符号反転回路441、443、444、446の制御信号をそれぞれ表す波形の例が示されている。

$$XR1(n) = (-1)^{n/2} \cdot X(n) \quad : n \text{ は偶数} \quad (28)$$

低域通過フィルタ442は、反転/非反転された信号を平均化し、シンボルクロック成分以外の雑音成分を除去

$$X_{LPF1}(n) = E_{n:even} [XR1(n)] \quad (29)$$

第2の符号反転回路443は、低域通過フィルタ442の出力信号を、第1の符号反転回路441と同期して反

$$\begin{aligned} XR2(n) &= (-1)^{n/2} \cdot X_{LPF1}(n) \\ &= (-1)^{n/2} \cdot E_{n:even} [XR1(n)] \quad (30) \end{aligned}$$

XR2(n)は、第2のセクタ447を介して、出力端子412から外部に出力される。

【0107】同様に、第2の符号反転/平均化回路45

$$\begin{aligned} XR4(n) &= (-1)^{(n-1)/2+1} (1/2) E_{n:odd} [XR3(n)] \quad (31) \end{aligned}$$

上式において、XR3(n)は、第3の符号反転回路444の出力信号を表しており、また図14(a)には第

【0101】図11に示されている実施例4においては、COSと−SINとの直交性よりCOS/−SIN出力回路422のCOS値が±1の場合には−SIN値は必ず0であり、また−SIN値が±1の場合にはCOS値は必ず0になっている。従って、式(24)、(25)、(26)、(27)において、時刻nが偶数の場合すなわちCOS値が±1の時は、第2及び第4の乗算器424、428の出力値は“0”になっており、時刻nが奇数の場合には、すなわち−SIN値が±1の時には第1及び第3の乗算器423、427の出力値は“0”になっているため、各ブロックは交互に動作しても、加算器429の出力信号は同一である。

【0102】よって、図13において入力端子401から入力された受信信号は非線形処理回路402でクロック成分を作成された後、クロック周波数のほぼ4倍で動作する第1のセクタ440によって出力先を第1の符号反転/平均化部450と第2の符号反転/平均化部451とに交互に送出される。例えば、図14において第1及び第2の端440、447の制御信号が“H”の場合には、第1の符号反転/平均化部が選択され、“L”の場合には第2の符号反転/平均化部が選択される。

【0103】第1の符号反転/平均化部450の符号反転回路441において、入力信号はシンボルクロック周波数のほぼ2倍で交互に反転/非反転される。これは、COS(π)値とCOS(0)値とを乗算することに対応する。図14(b)には、第1の符号反転回路441の動作の一連が示されている。例えば、制御信号が“H”である場合には、入力信号がそのまま出力信号となり、制御信号が“L”である場合には入力信号の符号が反転されて出力される。従って、第1の符号反転回路441の出力信号をXR1(n)とするとそれは次の式で表される。

【0104】

し、平均化出力 $X_{LPF1}(n)$ を出力する。

【0105】

転/非反転し、XR2(n)を出力する。

【0106】

1の出力値、すなわち第4の符号反転回路446の出力値XR4(n)は次式で示される。

【0108】

3及び第4の符号反転回路444、446の動作の一例が示されている。

【0109】従って、第2のセクタ447の出力信号
XSEL (n) は、次式で示される。

$$\begin{aligned} XSEL(n) &= XR2(n) = (-1)^{n/2} \cdot En : even [XR1(n)] \\ &: n \text{ は偶数} \\ &= XR4(n) = (-1)^{(n-1)/2+1} En : odd [XR3(n)] \\ &: n \text{ は奇数} \\ &\dots (32) \end{aligned}$$

XR1 (n) と XR3 (n) とはそれぞれ式 (27) に
おける X_{m1} (n) と X_{m3} (n) と等価であるため、
XSEL (n) は X_{add} (n) の振幅が2倍で、同じ
位相関係を有する正弦波となり、上記実施例4と同様の
効果が得られる。よって、本実施例2のクロック再生回
路は、加算器の代りにセクタを用い、2系統の符号反
転／平均化回路を交互にシンボルレート of 2 倍の周波数
で動作してもクロック成分が抽出可能である。

【0111】なお、第1～第4の符号反転回路441、
443、444、446は、第1及び第2のセクタ4
40、447と同期しており、動作周期がシンボルレ
ートの2倍の周波数であれば良く、必ずしも図4 (b)、
(c) に示されている関係でなくとも良い。すなわち、
第1及び第2の符号反転回路441、443が反転の関
係にあっても良く、また第1及び第3の符号反転回路4
41と444とが同じ値を出力しても良い。ただしこの
場合には第2のセクタ447から出力される再生クロ
ックの位相は変化する。

【0112】実施例6

以下、請求項6による発明の好適な実施例6について図
面に基づいて説明する。図15は、本実施例6によるク
ロック再生回路の構成を示すブロック構成図であり、一
次のIIR (Infinite Impulse Response) フィルタで
構成した例が示されている。

【0113】図15において、第1の符号反転回路46

$$\begin{aligned} XS(n) &= (-1)^{n/2} \cdot X(n) & n : \text{偶数} \\ &= (-1)^{(n-1)/2+1} \cdot X(n) & n : \text{奇数} \end{aligned} \quad (33)$$

これは、以下の処理と等価である。

$$\begin{aligned} XS(n) &= X(n) \cdot \{ \cos(0) - \sin(0) \} & : \text{MOD}(n, 4) = 0 \\ &= X(n) \cdot \{ \cos(\pi/2) - \sin(\pi/2) \} & : \text{MOD}(n, 4) = 1 \\ &= X(n) \cdot \{ \cos(\pi) - \sin(\pi) \} & : \text{MOD}(n, 4) = 2 \\ &= X(n) \cdot \{ \cos(3\pi/2) - \sin(3\pi/2) \} & : \text{MOD}(n, 4) = 3 \\ &\dots (34) \end{aligned}$$

ここで、任意の時刻nにおいて、第2のシフトレジスタ
463に記憶されている値をY_{COS} (n)、第1のシ
フトレジスタ462に記憶されている値をY_{SIN}

【0110】

0は、受信信号のシンボルクロック周波数のほぼ2倍の
周波数で入力信号を反転／非反転する。そして、加算器
461は、第1の符号反転回路460の出力信号とIIR
フィルタ内の値を加算する。第1のシフトレジスタ4
62は、上記加算器461の出力値をラッチし、第2の
シフトレジスタ463は、第1のシフトレジスタ462
の出力値をラッチする。乗算器464は、第2のシフト
レジスタ463の出力信号に係数αを乗算する。パラレ
ルIIRフィルタ470は、上記加算器461、第1及
び第2のシフトレジスタ462、463、乗算器464
とから構成される。そして、第2の符号反転回路465
は、このパラレルIIRフィルタ470の出力値を第1
の符号反転回路460と同じ周期で反転／非反転する。
また、図16には、非線形処理回路402の出力信号
と、第1及び第2の符号反転回路460、465の動作
タイミングの一例が示されている。

【0114】非線形処理回路402の出力信号は、第1
の符号反転回路460において、クロック周波数のほぼ
2倍の周波数で入力信号を反転／非反転する。図16
(a) には、非線形処理回路402の出力タイミングが
示されており、図6 (b) には、第1の符号反転回路4
60の動作タイミングが示されている。第1の符号反転
回路460の出力信号をXS (n) とすると、このXS
(n) は次式で表される。

【0115】

【0116】

(n) とすると、その時刻nにおける加算器461の出
力X_a (n) は、次式で表される。

【0117】

$$Y_a(n) = Y_S(n) + \alpha Y_{COS}(n) \quad (35)$$

この値は、時刻 $n+1$ において第1のシフトレジスタ462に記憶される。同時に、第1のシフトレジスタ462に記憶されていた値 $Y \sin(n)$ は、第2のシフトレジスタ463に記憶される。また時刻 $n+1$ 、 $n+$

$$\begin{aligned} X_a(n+1) &= X_s(n+1) + \alpha Y \sin(n+1) \\ X_a(n+2) &= X_s(n+2) + \alpha Y \cos(n+2) \\ &= X_s(n+2) + \alpha X_a(n) \\ X_a(n+3) &= X_s(n+3) + \alpha Y \sin(n+3) \\ &= X_s(n+3) + \alpha X_a(n+1) \\ X_a(n+4) &= X_s(n+4) + \alpha Y \cos(n+4) \\ &= X_s(n+4) + \alpha X_a(n+2) \quad \dots (36) \end{aligned}$$

上式より、加算器461の出力信号は、 $H(Z) = X_a(Z) / X_s(Z) = 1 / (1 + \alpha Z^{-2})$ のIIRフィルタ出力となっており ($Z = e^{j\omega T/4}$: T はシンボル周期)、 n の偶数番目と奇数番目の値がそれぞれ平均化されて交互に出力されているのが理解されよう。

【0119】 によって、 n が偶数の場合のIIRフィルタ

$$\begin{aligned} X_o(n) &= (-1)^{n/2} \cdot R_{n:even}(n) && : n \text{ は偶数} \\ &= (-1)^{(n-1)/2+1} \cdot R_{n:odd}(n) && : n \text{ は奇数} \\ &\dots (37) \end{aligned}$$

従って、上述した式(32)と等しい形になる。

【0121】 従って、本実施例6のクロック再生回路においては、平均化部に偶数時刻用と奇数時刻用の記憶部分を設けることにより、平均化部以外の部分は、偶数時刻用と奇数時刻用とで共有することが可能である。また、第1及び第2の符号反転回路460、465は同じ動作をする必要はない。すなわち、例えば反転の動作の場合においても、再生クロックの位相が変わるだけでクロック成分は同様に抽出できる。さらに平均化部は、一次のIIRである必要はなく、高次のFIR(Finite Impulse Response)及びIIRでも同様である。

【0122】 実施例7

以下、請求項7による発明の好適な実施例7について説明する。図17は、本実施例7によるクロック再生回路の構成を示すブロック構成図である。図17において、補間回路480は、セクタ447から出力される4倍のオーバーサンプリングの再生クロックを補間操作により細かいサンプルにし、高精度に再生クロック位相を検知し、この補間回路480の出力信号は、出力端子481を介して外部に出力される。

【0123】 図18には、この補間回路480の構成の一例が示されている。図18に示されている補間回路480によれば、4倍オーバーサンプリングの再生クロックから16倍オーバーサンプリングの再生クロックの位相を一次補間で得ることができる。図18において、入力端子490から入力された入力信号は、0挿入回路491において0が挿入される。この0挿入回路491は、シンボルクロックの16倍のクロックで動作し、4クロックに1回サンプルデータを挿入し、残りの3回は“0”を挿入する。シフトレジスタ492の1段目は挿入された

2、 $n+3$ 、 $n+4$ のそれぞれにおける加算器461の出力は次式で表される。

【0118】

470の出力信号を $R_{n:even}(n)$ 、 n が奇数の場合のIIRフィルタ470の出力信号を $R_{n:odd}(n)$ とすると、第2の符号判定回路465の出力信号 $X_o(n)$ は次式で表される。

【0120】

たデータを記憶する。そして、第1の加算器493はシフトレジスタ492の1段目と7段目とに保持されている値を加算し、第2の加算器494はシフトレジスタ492の2段目と6段目とに保持されている値を加算し、第3の加算器495はシフトレジスタ492の3段目と5段目とに保持されている値を加算する。また、第1の乗算器496は第1の加算器493の出力信号に係数 C_0 を乗算し、第2の乗算器497は第2の加算器494の出力信号に係数 C_1 を乗算し、第3の乗算器498は第3の加算器495の出力信号に係数 C_2 を乗算する。そして、第4の加算器499は第1～第3の乗算器496、497、498とシフトレジスタ492の4段目に保持されている値とを加算する。また、一次補間フィルタ回路500は、0挿入回路491と、シフトレジスタ492と、第1～第3の加算器493、494、495と、第1～第3の乗算器496、497、498と、第4の加算器499とから構成されている。遅延回路501は、一次補間フィルタ回路500の出力信号を16倍のクロックで1クロック分遅延する。符号反転回路502は、遅延回路501の出力信号を反転する。AND回路503は一次補間フィルタ回路500の出力信号のMSBと符号反転回路502の出力信号のMSBとのANDをとる。第2の遅延回路504はAND回路503の出力信号を16倍クロックで1クロック分遅延させる。比較器505は、一次補間フィルタ回路500の出力値と符号反転回路502の出力値とを比較する。そして、セクタ506は、比較器505の出力信号を入力し、AND回路503の出力信号と遅延回路504の出力信号とのいずれか一方を出力する。このセクタ506により、比較器505の出力信号と遅延回路504の出力信号のいずれか一方を出力する。

る。立上り検出器508は、遅延回路501と、符号反転回路502と、AND回路503と、第2の遅延回路504と、比較器505、セクタ506とから構成されている。また、図19は、補間回路480の内部の動作を示す各部の波形の例が示されている。

【0124】本実施例7の動作を図17、図18、図19を用いて説明する。図19(a)は4倍のクロックでサンプリングされた再生クロックの波形であり、図18に記載されている入力端子490から入力される。入力された再生クロックは0挿入回路491において0挿入され、16倍クロックのデータに変換される。例えば、0挿入回路491にXSEL(n)、XSEL(n+1)、XSEL(n+2)が入力された場合には、0挿入回路491の出力信号は…XSEL(n)、0、0、0、XSEL(n+1)、0、0、0、XSEL(n+2)、0、…のようになる。0挿入された信号は一次補間されて加算器499から16倍のオーバーサンプリングの補間再生クロックが出力される。図19(b)には、加算器99の出力信号、つまり一次補間回路500の出力例が示されている。

【0125】AND回路503は、一次補間回路500の出力信号のMSBと、16倍のクロックで1クロック分遅延し、符号反転した信号のMSBとのANDをとり、再生クロックの立上り(すなわち、負から正への遷移)が生じたことが検出される。図19(c)に図19(b)に示されている波形に対応した符号反転回路502の出力信号のMSBの波形が示されており、図19(d)には一次補間フィルタ500の出力信号のMSBの波形が示され、図19(e)には、AND回路503の出力波形が示されている。このようにAND回路503は再生クロックに立上りが生じる度にパルスが発生し、図19(b)の波形の图中的①、②間で立上りが生じたことが認識され得る。

【0126】次に図19(b)の波形のサンプル点①、②で、より本来の0クロス点に近い方を検出する。比較器505は、符号反転回路502の出力信号と一次補間フィルタ500の出力信号とを比較する。AND回路503が立上りを検出する時点においては、両方の出力信号共に正の値になり、上記0クロス点に近い方を判断することは、サンプル点①、②の絶対値を比較することによって相当する。そして絶対値の小さい方のサンプル点が0クロス点であるとみなされ、例えば①が0クロス点であるとみなされた場合には、AND回路503の出力信号が、②が0クロス点であると判断された場合には遅延回路504の出力信号がそれぞれセクタ506によって選択されるように選択信号がセクタ506に供給される。このようにして、16倍クロック精度の立上り検出パルスは、出力端子107を介して外部に出力される。こうして出力された0クロス検出パルスは、後続する回路でナイキスト点情報に変換される。

【0127】よって、請求項4、5、6に記載されている発明に補間回路を付加することでより高精度にナイキスト点情報を得ることが可能となる。なお、本実施例においては16倍クロック精度の一次補間を適用したが、この補間はより高次でも高精度でも同様の効果が得られる。このように補間が変わった場合には、0クロス点情報精度に変更が生じるだけである。また、ナイキスト情報検出は0クロス点以外の情報、例えば振幅が最大になる点の検出を用いても同様の効果が得られることは言うまでもない。

【0128】実施例8

以下、請求項8による発明の実施例について説明する。図20には、本実施例8によるクロック再生回路の構成を示すブロック構成図が示されている。図20において、レベル検出器510は、第1及び第2の低域通過フィルタ442、445の出力信号を入力し、第1及び第2の低域通過フィルタ442、445の中に蓄えられている信号のレベルを検出する。そして、出力レベル設定回路511は、レベル検出器510の出力信号に従って、出力レベルを制御する。また、図21には、第1及び第2の低域通過フィルタ442、445に蓄えられている信号のクロック成分をベクトル表示したものが示されている。

【0129】本実施例8の動作を図20、図21を用いて説明する。第1及び第2の低域通過フィルタ442、445の出力信号と、再生クロックつまりセクタ447の出力信号との関係の一例が図21で表されている。第1及び第2の低域通過フィルタ442、445の出力値をそれぞれV_x、V_yとすると、再生クロックは図21(b)に示されているようにして作成される。また、位相面では再生クロックベクトルV_{clk}は、図21(a)に示されているような関係で表されてその振幅値Aは図21(a)に基づき次式で示される。

$$\text{【0130】} \quad A = (V_x^2 + V_y^2)^{1/2} \quad (38)$$

従って、レベル検出器510は、第1及び第2の低域通過フィルタ442、445のそれぞれの出力値V_x、V_yに基づき、再生クロックの振幅値Aを上式(38)を用いて求め、その求められた値を出力レベル設定回路511に供給する。

【0131】出力レベル設定回路511は、振幅値Aを入力し、第1及び第2の低域通過フィルタ442、445のそれぞれの出力値V_x、V_yに対しそれぞれ以下の演算を行い、それぞれV_{nx}、V_{ny}を出力する。

$$\begin{aligned} \text{【0132】} \quad V_{nx} &= V_x / A \\ V_{ny} &= V_y / A \end{aligned} \quad (39)$$

従って、出力レベル設定回路511の出力値V_{nx}、V_{ny}を用いた再生クロックの振幅は“1”となり、常に振幅を“1”とした再生クロックを得ることができ、

従って、本実施例によれば一種のリミット効果が得られ、出力レベル設定回路511から後の回路のビット数を削減することが可能である。

【0133】なお、レベル検出器512は、必ずしも上式(39)のような演算を行わせる必要はなく、例えば V_x と V_y との内絶対値の大きな方の値 $|V_{max}|$ を用いても好適である。この場合には、 Λ と V_{max} とでは最大で $2^{1/2}$ 倍の差が生じるが、その差は出力レベル設定回路511で調整すれば問題はない。また、出力レベル設定回路511も簡便な構成としては出力ビットの選択によっても実現可能である。

【0134】実施例9

以下、請求項9による発明の実施例について説明する。図22は、本発明の好適な実施例9のクロック再生回路の構成を示すブロック構成図である。図22において、比較器520は、レベル検出器510の出力値を、予め設定したしきい値と比較する。その結果、レベル検出器510の出力値が前記しきい値より小さい場合には、ホールド信号がこの比較器520から出力される。ホールド回路521は、前記比較器520の出力信号であるホールド信号を入力し、第1及び第2の低域通過フィルタ442、445の出力値をホールドする。また、図23は、第1及び第2の低域通過フィルタ442、445に蓄えられているシンボルクロック成分をベクトル表示した図であり、特にしきい値との関係が示されている。

【0135】本実施例9の動作を図22、図23とを用いて説明する。図23において、再生クロックベクトル V_{clk} の振幅 Λ は、シンボルクロック成分が抽出されている場合には、大きな値となっており、ディープフュードやブロッケージなどにより受信信号が雑音のみになってしまった場合には振幅は Λ_N のように小さな値となる。従って、レベル検出器510が、検出した再生クロックのベクトル V_{clk} の振幅値が所定のしきい値より小さくなった場合には、比較器520がホールド信号を出力し、その時点の第1及び第2の低域通過フィルタ442、445の値をホールドする。そして、再び信号が受信されるようになってから、再生クロックのベクトル V_{clk} の振幅が所定のしきい値を越えたならば比較器520は、通過信号を出力する。そして、ホールド回路521は、第1及び第2の低域通過フィルタ442、445の出力値を出力する。

【0136】このように、本実施例9によれば、ディープフュードやブロッケージなどによって信号が受信できなくなってしまう場合においても、クロック再生回路は同期状態を保つことが可能となる。

【0137】以上述べたように、に請求項4～請求項9に記載の本発明によれば、2つの低域通過フィルタ出力に再び \cos 、 $-\sin$ 値を乗算し、加算することにより、受信信号に含まれるシンボルクロック成分を出力でき、再生クロックのスリップを防ぐことができる。また

4倍のオーバーサンプリングした \cos 、 $-\sin$ の値、すなわち ± 1 、0を用いることで、 \cos 、 $-\sin$ の値との乗算部において、いわゆる通常の乗算器を用いる必要がなく、単に反転/非反転/0選択のみで同様の効果が得られるため、ハードウェア規模の小さなクロック再生回路が実現可能である。

【0138】

【発明の効果】以上述べたように、本発明によれば、内挿補間回路もしくはラッチ回路を受信信号に含まれるシンボルクロックの周期と同一の周期で動作させたことにより、受信信号を固定クロックを用いてサンプリングする復調器を、連続モードで動作させた場合においても、再生クロックのスリップを生じることなく判定点データを出力することが可能なクロック再生回路を得ることができる。

【図面の簡単な説明】

【図1】実施例1のクロック再生回路を示す構成ブロック図である。

【図2】図1に記載されているクロック位相検出器の構成ブロック図である。

【図3】図1に記載されている判定点検出器の構成例を示す構成ブロック図である。

【図4】補間スタートパルス生成の一例を示すタイミングチャートである。

【図5】図1に記載されている判定点検出器の他の構成例を示す構成ブロック図である。

【図6】実施例2に係るクロック再生回路の構成ブロック図である。

【図7】図6に記載されている判定点検出器の構成を表す構成ブロック図である。

【図8】実施例3に係るクロック再生回路の構成ブロック図である。

【図9】図8に記載されている判定点検出器の構成を表す構成ブロック図である。

【図10】帯域制限フィルタ出力の一例を示すタイムチャートである。

【図11】実施例4に係るクロック再生回路の構成ブロック図である。

【図12】実施例4における乗算器の構成を示す構成ブロック図である。

【図13】実施例5に係るクロック再生回路の構成ブロック図である。

【図14】実施例5におけるセレクタ、符号反転回路の制御信号例の説明図である。

【図15】実施例6に係るクロック再生回路の構成ブロック図である。

【図16】実施例6における非線形処理回路、符号反転回路の動作を表すタイムチャートである。

【図17】実施例7に係るクロック再生回路の構成ブロック図である。

【図18】実施例7における補間回路の構成例を示す構成ブロック図である。

【図19】実施例7における各部の出力波形を示すタイムチャートである。

【図20】実施例8に係るクロック再生回路の構成ブロック図である。

【図21】実施例8における位相面上における低域通過フィルタ出力信号と、再生クロックの波形との関係を示す説明図である。

【図22】実施例9に係るクロック再生回路の構成ブロック図である。

【図23】実施例9における位相面上におけるしきい値の関係を説明する説明図である。

【図24】第1の従来例であるクロック再生回路を示す構成ブロック図である。

【図25】図24に記載されている信号レベル検出器の構成ブロック図である。

【図26】図24に記載されているクロック位相検出器の構成ブロック図である。

【図27】ラグランジェの一次補間を説明する説明図である。

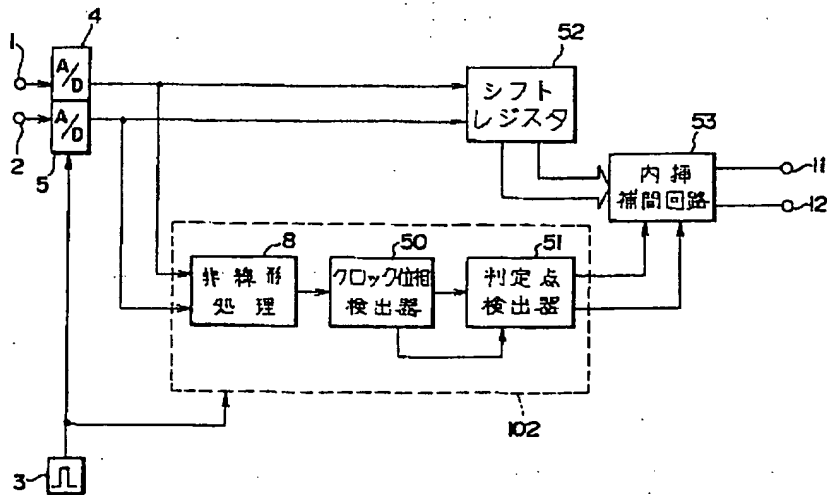
【符号の説明】

- | | | | |
|----|--------------|---------|------------------|
| 1 | I ch入力端子 | 50 | クロック位相検出器 |
| 2 | Q ch入力端子 | 51 | 判定点検出器 |
| 3 | 固定発振器 | 52 | シフトレジスタ |
| 4 | I ch A/D変換器 | 53 | 内挿補間回路 |
| 5 | Q ch A/D変換器 | 60 | 第三の積分器 |
| 6 | 第一のRAM | 61 | 第三の積分器 |
| 7 | 第二のRAM | 62 | 位相発生器出力外部出力端子 |
| 8 | 非線形処理 | 63 | 推定位相差入力端子 |
| 9 | クロック位相検出器 | 64 | 位相発生器出力外部入力端子 |
| 10 | 内挿補間回路 | 65 | 減算器 |
| 11 | I ch出力端子 | 66 | 2π の剰余回路 |
| 12 | Q ch出力端子 | 67 | 立上り検出器 |
| 20 | I ch入力端子 | 68 | 補間スタートパルス出力端子 |
| 21 | Q ch入力端子 | 69 | 2π の剰余回路出力端子 |
| 22 | 第一の2乗回路 | 70 | 2π の剰余回路 |
| 23 | 第二の2乗回路 | 71 | 遅延回路 |
| 24 | 加算器 | 72 | 減算器 |
| 25 | 信号レベル情報出力端子 | 73 | コンパレータ |
| 30 | 信号レベル情報入力端子 | 80 | シフトレジスタ |
| 31 | 固定クロック入力端子 | 81 | 判定点検出器 |
| 32 | 位相発生器 | 82 | ラッチ回路 |
| 33 | COS/SIN波形発生器 | 90 | 絶対値回路 |
| 34 | 第一の乗算器 | 91 | 遅延回路 |
| 35 | 第二の乗算器 | 92 | コンパレータ |
| 36 | 第一の積分器 | 93 | 遅延回路 |
| 37 | 第二の積分器 | 94 | セレクト |
| 38 | 位相計算器 | 95 | ラッチパルス出力端子 |
| 39 | 推定位相差出力端子 | 100 | 2ポートRAM |
| | | 101~104 | クロック位相推定回路 |
| | | 200 | 帯域通過フィルタ |
| | | 201 | 判定点検出器 |
| | | 210 | 帯域通過フィルタ出力値入力端子 |
| | | 211 | 立上り検出器 |
| | | 212 | 位相差検出器 |
| | | 213 | 補間スタートパルス出力端子 |
| | | 214 | 位相情報出力端子 |
| | | 420 | 固定発振器 |
| | | 421 | Modulo 4カウンタ |
| | | 422 | COS/SIN出力回路 |
| | | 423 | 乗算器 |
| | | 424 | 乗算器 |
| | | 425 | 低域通過フィルタ |
| | | 426 | 低域通過フィルタ |
| | | 427 | 乗算器 |
| | | 428 | 乗算器 |
| | | 429 | 加算器 |
| | | 430 | 入力端子 |
| | | 431 | 符号反転回路 |
| | | 432 | 入力端子 |
| | | 433 | セレクト |

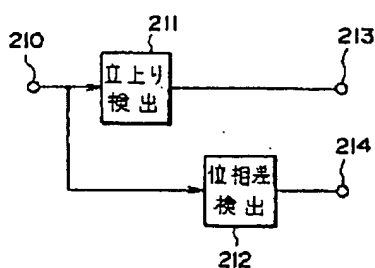
434 出力端子
 440 セレクタ
 441 符号反転回路
 442 低域通過フィルタ
 443 符号反転回路
 444 符号反転回路
 445 低域通過フィルタ
 446 符号反転回路
 447 セレクタ
 450 第1の符号反転／平均化部
 451 第2の符号反転／平均化部
 460 符号反転回路
 461 加算器
 462 第1のシフトレジスタ
 463 第2のシフトレジスタ
 464 係数乗算器
 465 符号反転回路
 470 IIRフィルタ
 480 補間回路
 481 出力端子

490 入力端子
 491 0挿入回路
 492 シフトレジスタ
 493、494、495 加算器
 496、497、498 係数乗算器
 499 加算器
 500 一次補間フィルタ
 501 遅延回路
 502 符号反転回路
 503 AND回路
 504 遅延回路
 505 比較器
 506 セレクタ
 507 出力端子
 508 立上り検出器
 510 レベル検出器
 511 出力レベル設定回路
 520 比較器
 521 ホールド回路

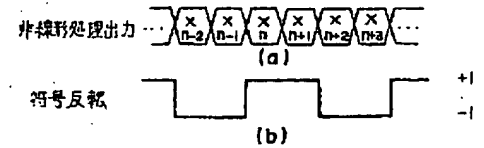
【図1】



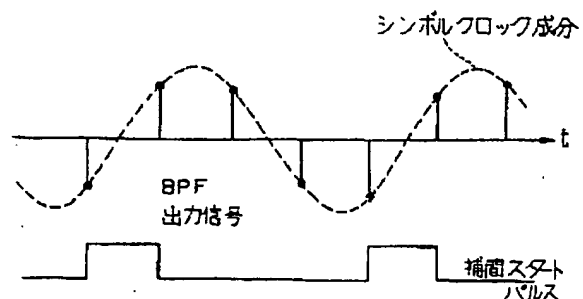
【図9】



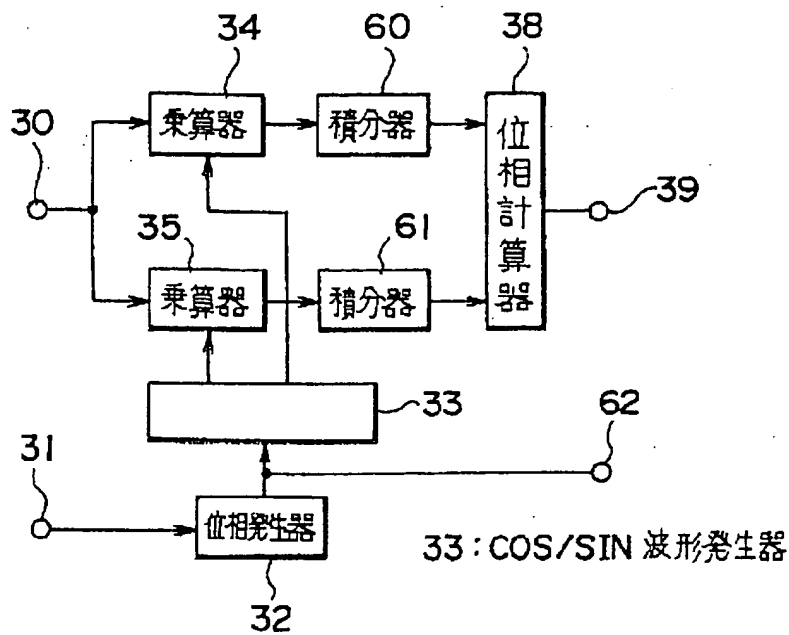
【図16】



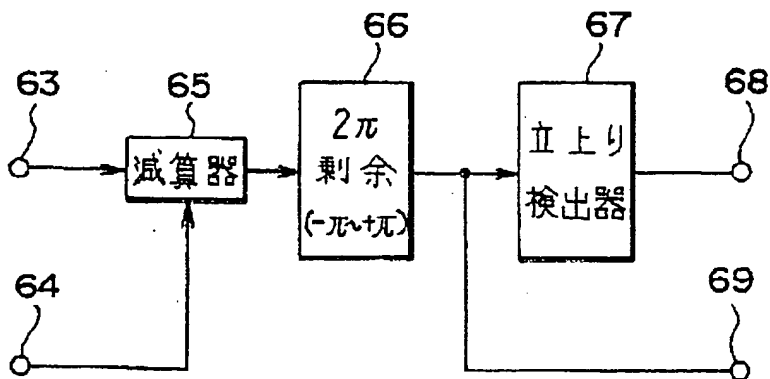
【図10】



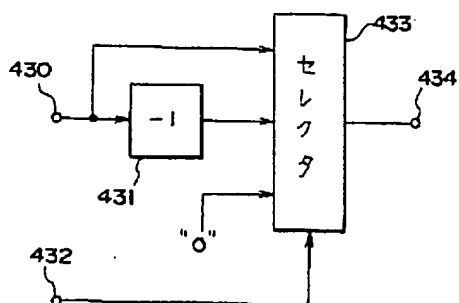
【図2】



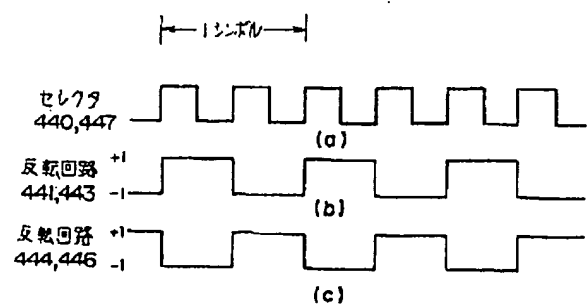
【図3】



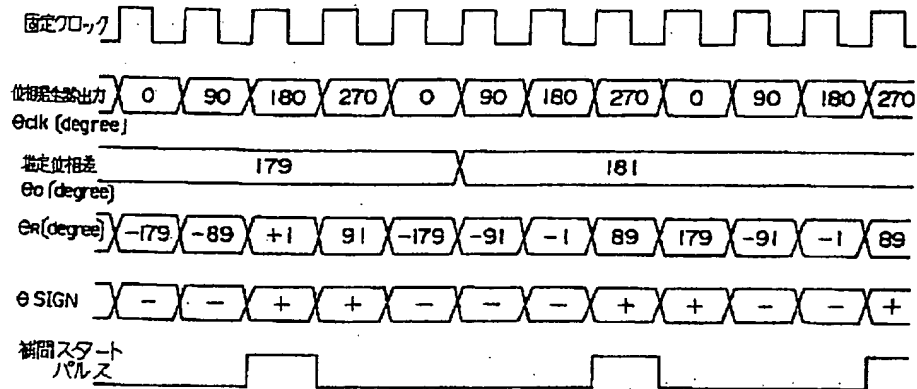
【図12】



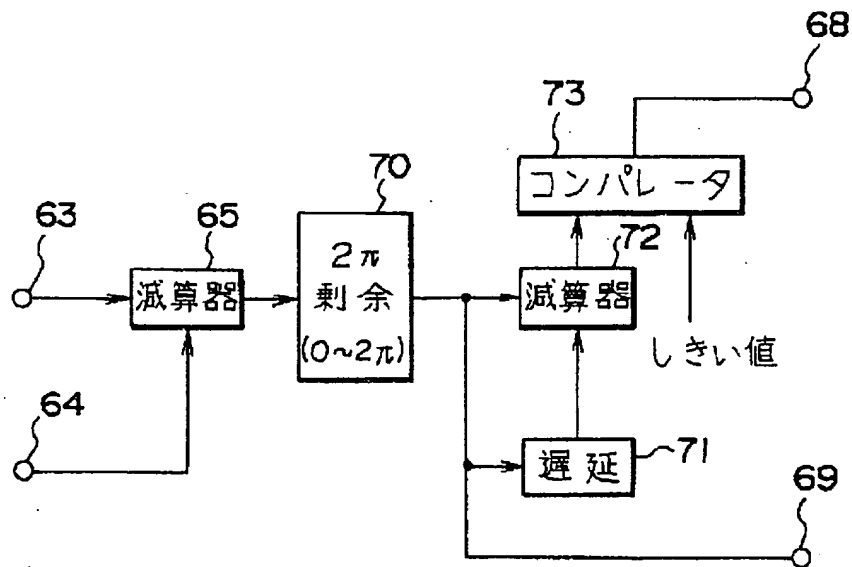
【図14】



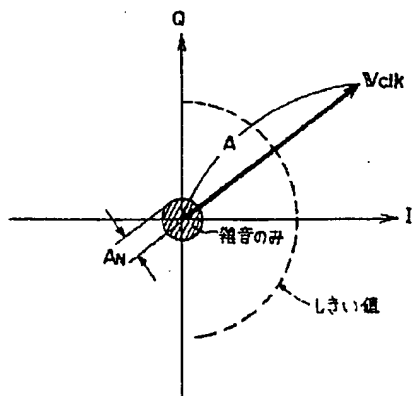
【図4】



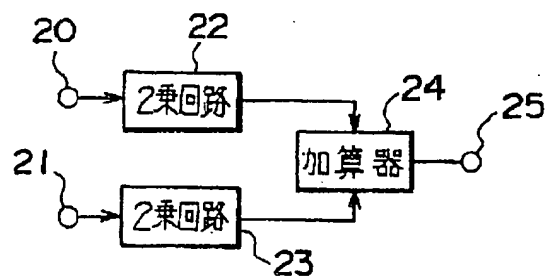
【図5】



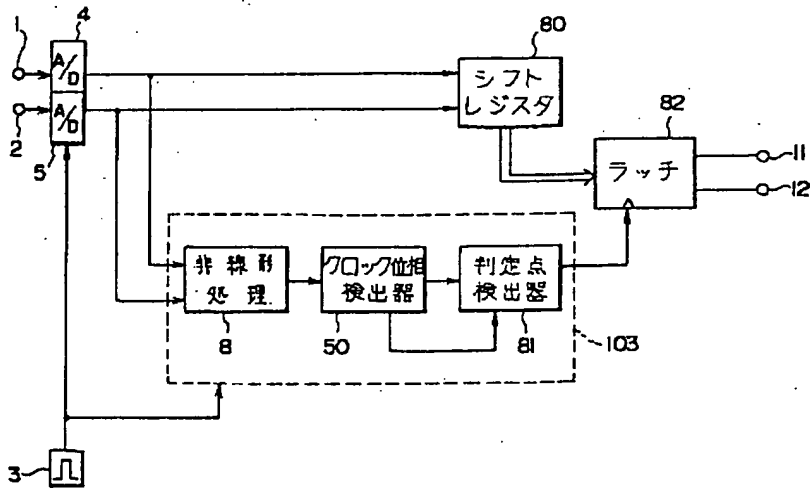
【図23】



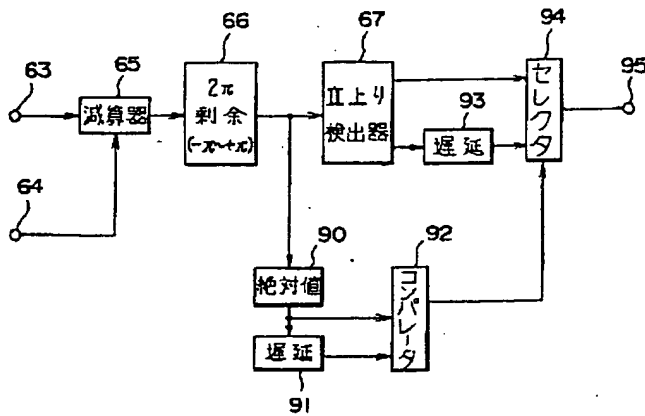
【図25】



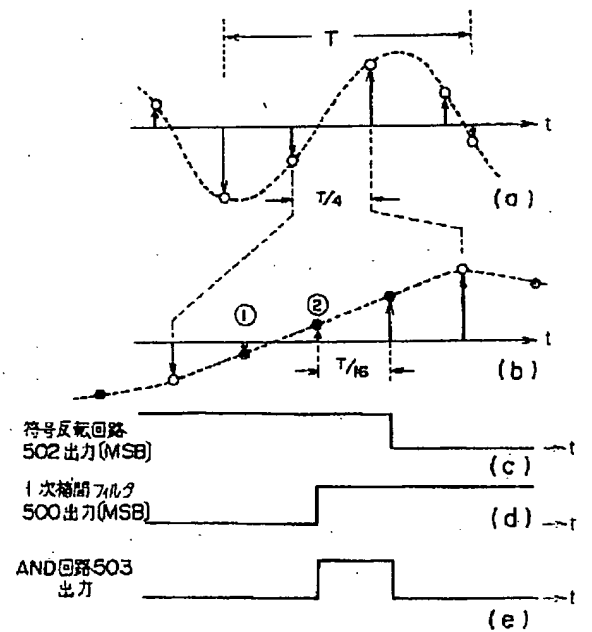
【図6】



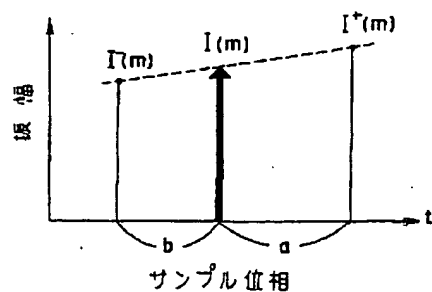
【図7】



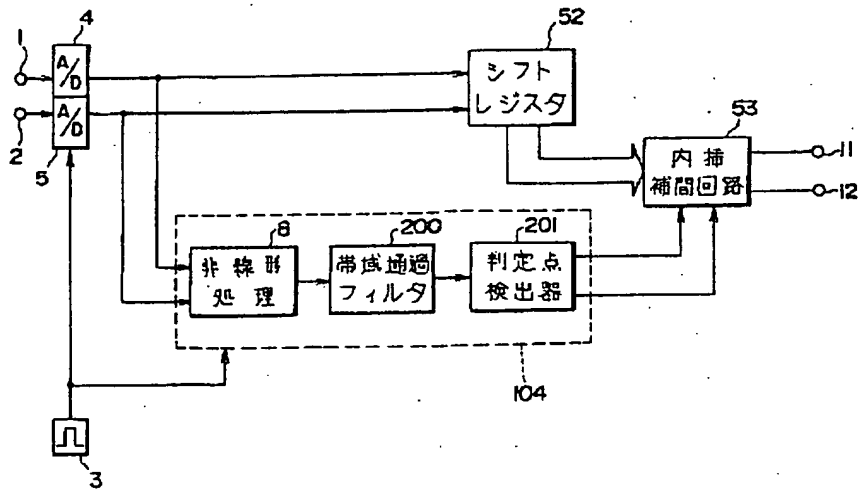
【図19】



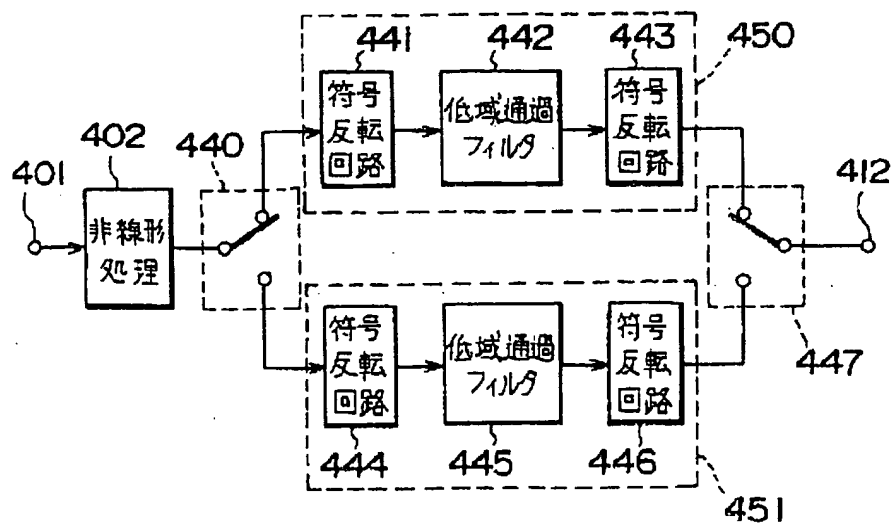
【図27】



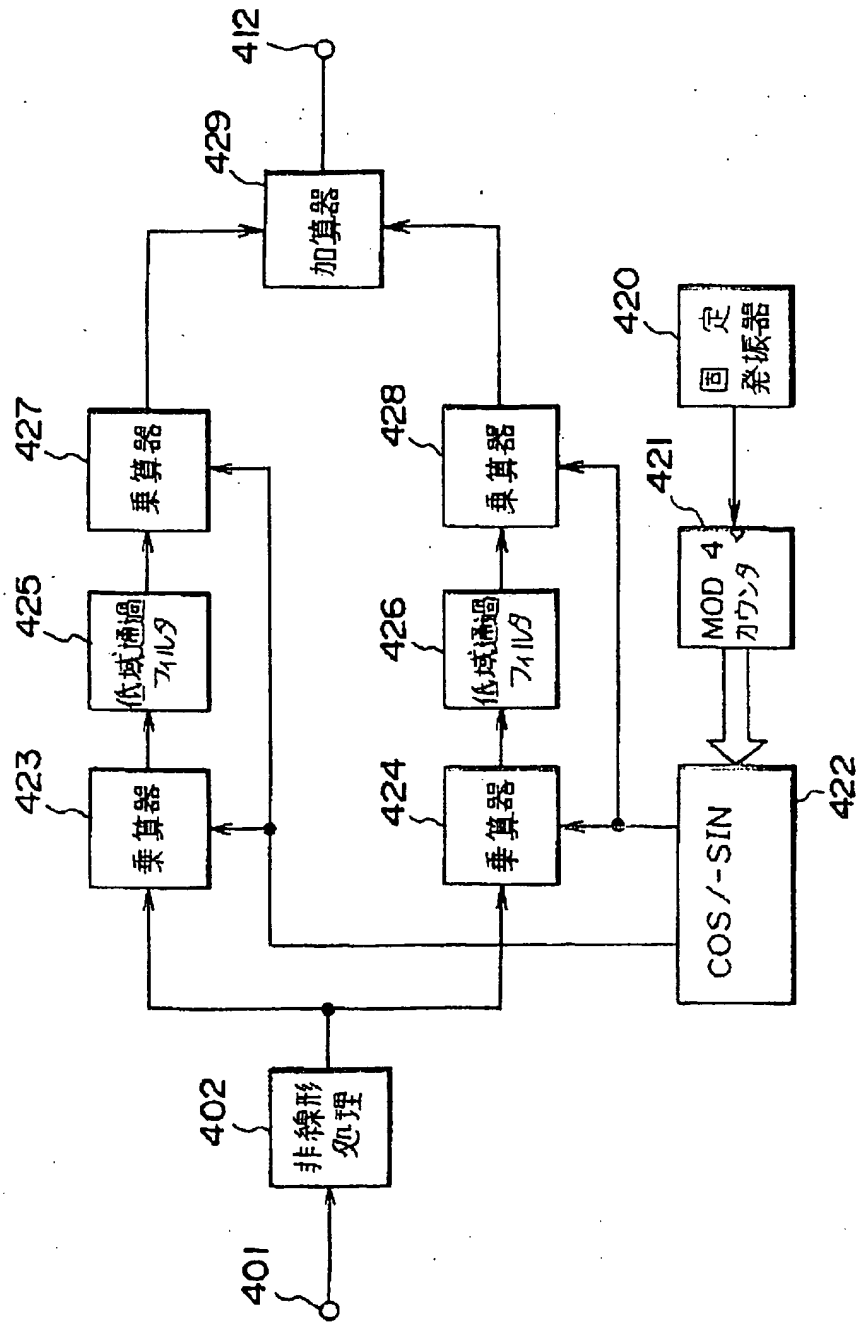
【図8】



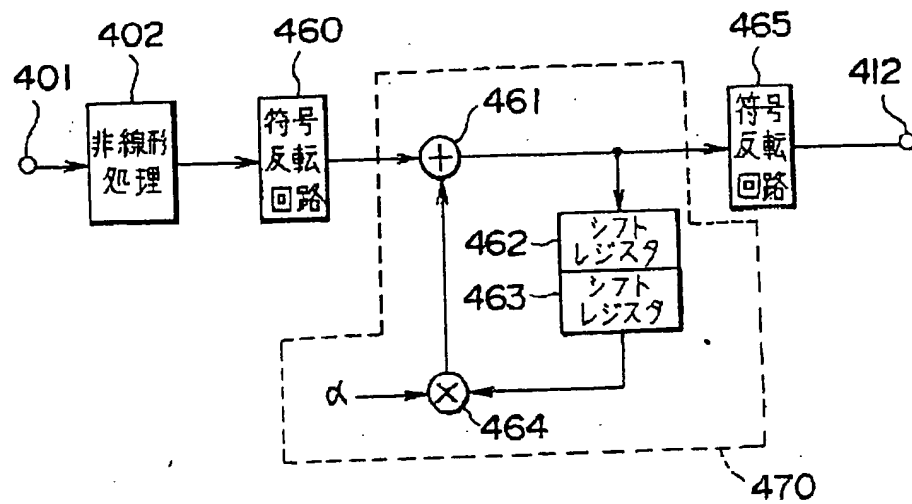
【図13】



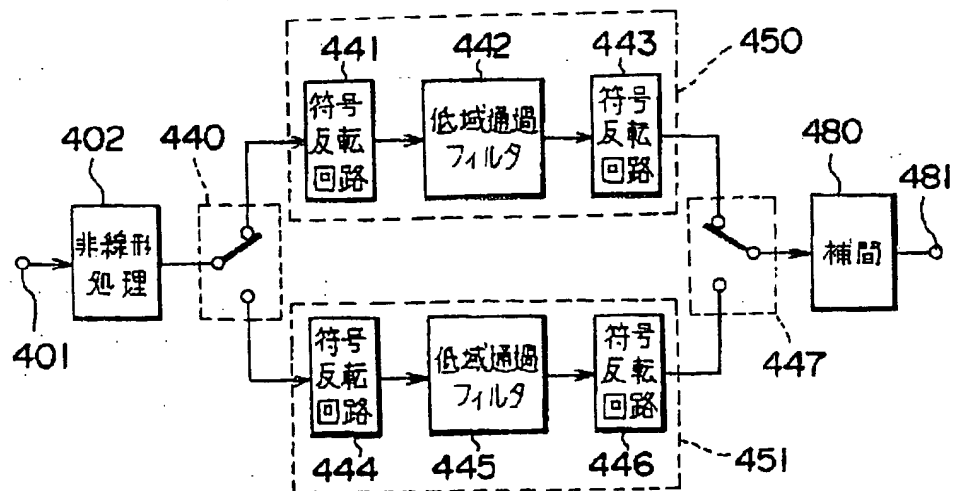
【図11】



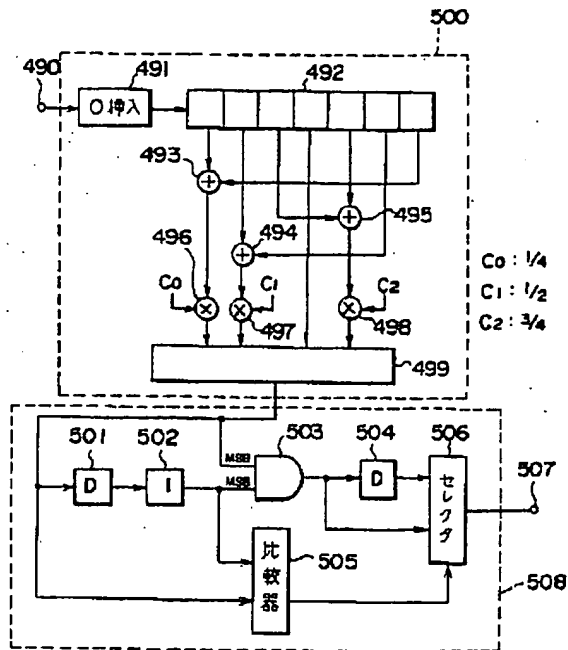
【図15】



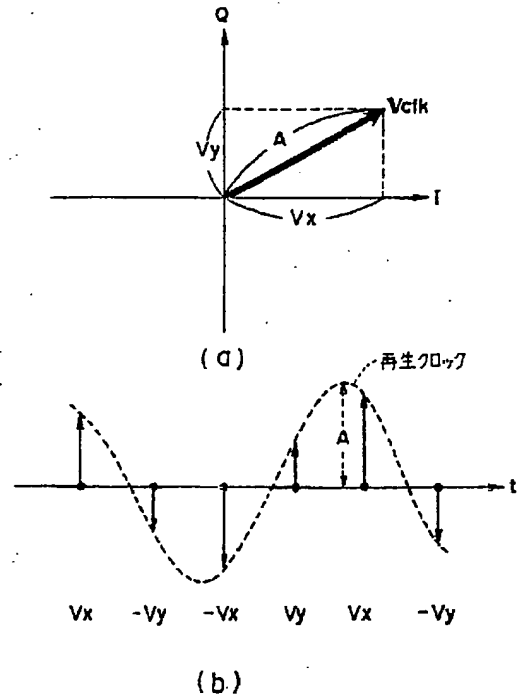
【図17】



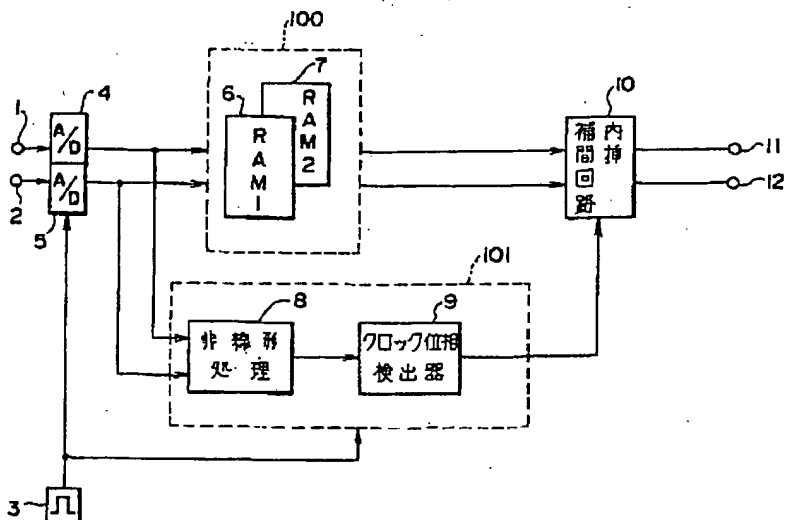
【図18】



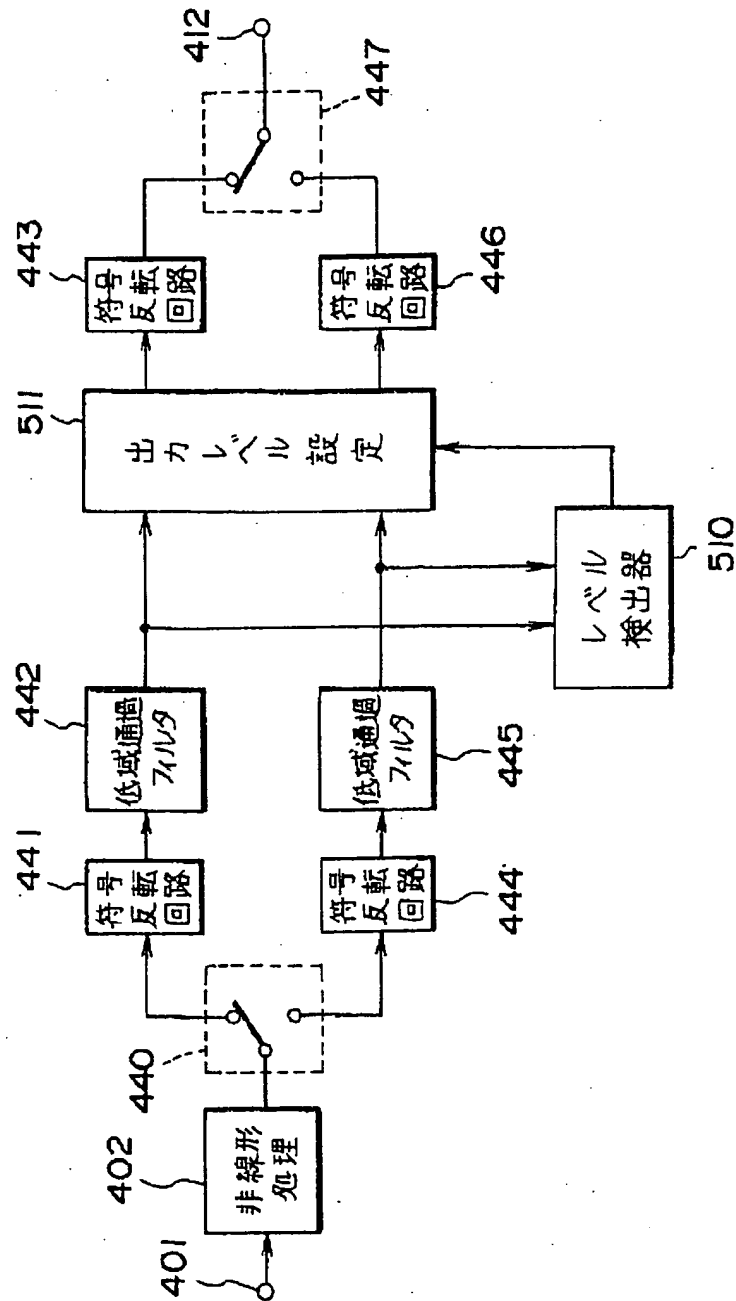
【図21】



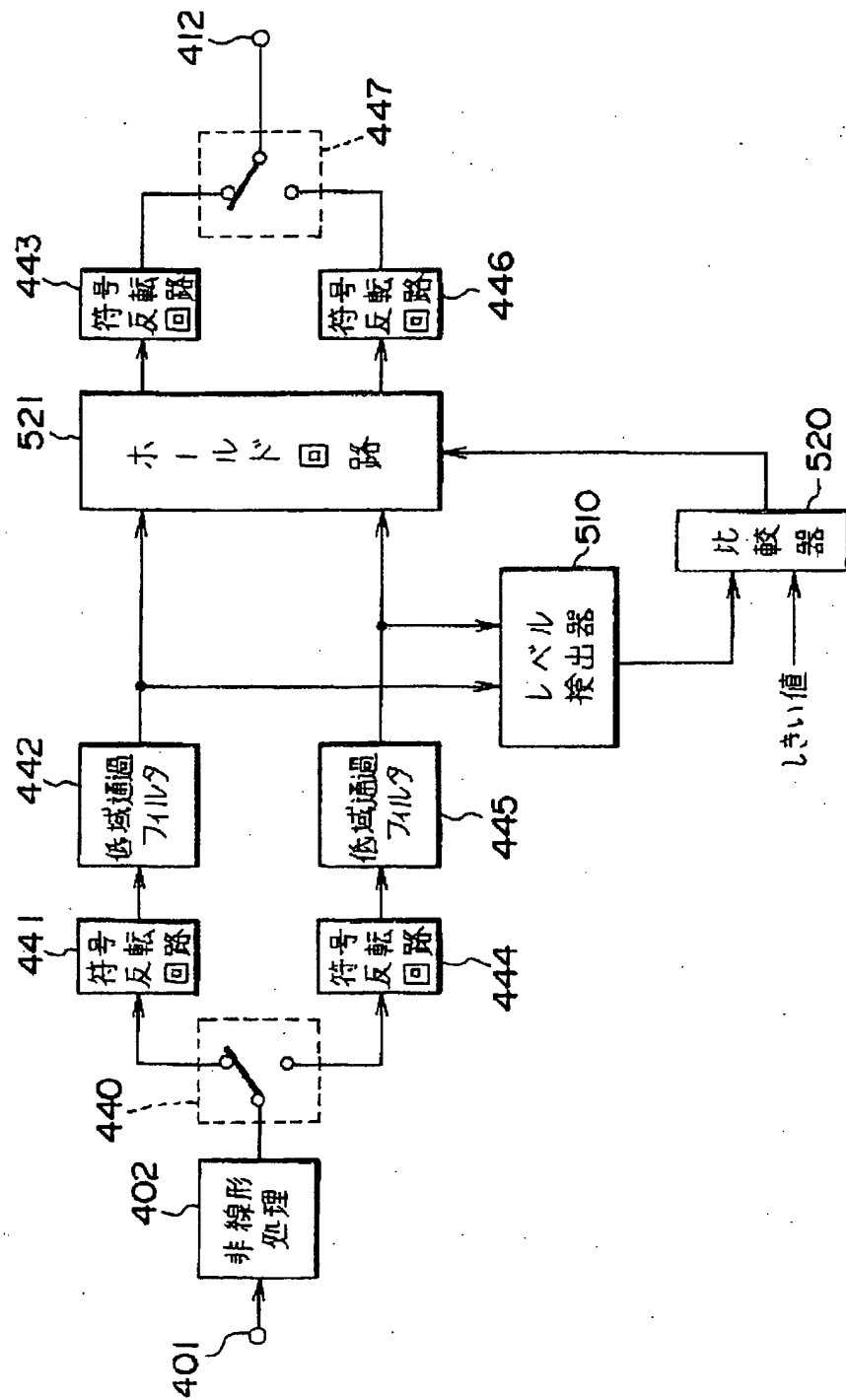
【図24】



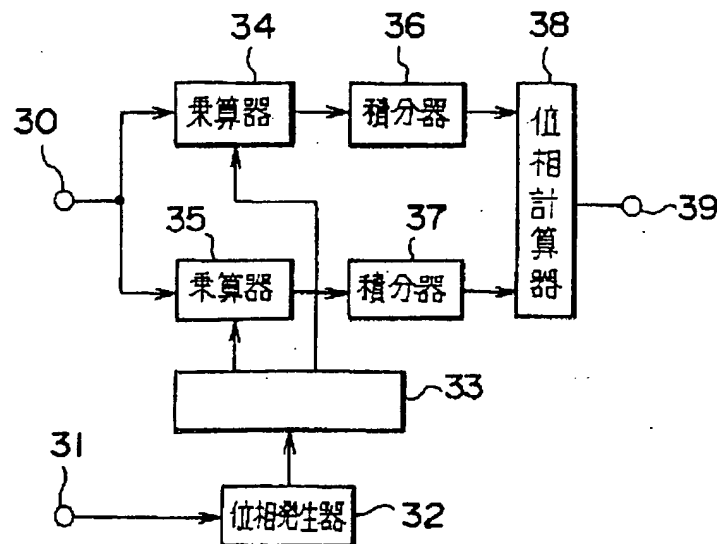
【図20】



【図22】



【図26】



【手続補正書】

【提出日】平成5年10月1日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 復調器に用いられるクロック再生回路において、

準同期検波した受信信号を固定クロックでサンプリングするサンプリング手段と、

上記受信信号のサンプル値を蓄積する蓄積手段と、

上記受信信号のサンプル値の信号レベルを検出する信号レベル検出手段と、

上記信号レベル検出手段で検出された信号レベルに基づき、上記受信信号のシンボルクロックと、上記固定クロックで動作する位相発生器の出力値との推定位相差を求めるクロック位相検出手段と、

上記推定位相差に基づき、判定点のタイミング情報と、

判定点の位相情報とを生成する判定点検出手段と、

上記判定点のタイミング情報及び判定点の位相情報とに基づき、上記受信信号のサンプル値蓄積手段に蓄積されているサンプル値を入力し、各シンボルの判定点のデータを補間検査により求める内挿補間手段とを備え、

上記内挿補間手段は、平均的には、上記受信信号のシンボルクロックと同一の周期で動作することを特徴とするクロック再生回路。

【請求項2】 請求項1記載のクロック再生回路におい

て、

前記クロック位相検出手段の出力信号に基づき、判定点に最も近いサンプリング時刻を抽出し、このサンプリング時刻におけるラッチパルスを生成する判定点検出手段と、

上記ラッチパルスを用いて、前記受信信号のサンプル値蓄積手段に蓄積されているサンプル値を入力し、各シンボルの判定点におけるデータを求めるラッチ回路と、を備え、上記ラッチ回路は、平均的に前記受信信号のシンボルクロックの周期と同一の周期で動作することを特徴とするクロック再生回路。

【請求項3】 請求項1記載のクロック再生回路において、

前記信号レベル検出手段の出力信号を入力し、前記受信信号のシンボルクロック成分を抽出する帯域通過フィルタと、

上記帯域通過フィルタの抽出するシンボルクロック成分に基づき、判定点のタイミング情報と、判定点の位相情報とを生成する判定点検出手段と、を備えたことを特徴とするクロック再生回路。

【請求項4】 復調器のクロック再生回路において、

受信信号を準同期検波した後、A/D変換した信号を非線形処理する非線形処理手段と、

上記非線形処理された信号と、4倍の周波数でオーバーサンプルされたCOS/SIN値(±1, 0)とをそれぞれ乗算する乗算手段と、

上記乗算手段による各乗算結果を平均化する平均化手段と

を

上記各平均結果と、4倍オーバーサンブルされた \cos/\sin 値($\pm 1, 0$)とをそれぞれ乗算する第2の乗算手段と、

上記第2の乗算手段による乗算結果を加算する加算手段と、

を含み平均的に前記受信信号のシンボルクロックの周期と同一の周期の再生クロックを生成することを特徴とするクロック再生回路。

【請求項5】 復調器のクロック再生回路において、受信信号を準同期検波した後、 A/D 変換した信号を非線形処理する非線形処理手段と、

上記非線形処理された信号を、受信信号のシンボルレート f_s の4倍の周波数で交互に選択する選択手段と、

上記選択された信号を、受信信号のシンボルレート f_s の2倍の周波数で交互に反転/非反転し、その結果を平均化した後さらに受信信号のシンボルレート f_s の2倍の周波数で反転/非反転する2つの符号反転/平均化手段と、

上記出力値を受信信号のシンボルレート f_s の4倍の周波数で交互に選択する第2の選択手段と、

を含むことを特徴とするクロック再生回路。

【請求項6】 復調器のクロック再生回路において、受信信号を準同期検波した後、 A/D 変換した信号を非線形処理する非線形処理手段と、

上記非線形処理された信号を受信信号のシンボルレート f_s の2倍の周波数で反転/非反転する第1の反転/非反転手段と、

上記第1の反転/非反転手段の出力信号の平均値を求める平均化手段と、

上記平均化手段の出力信号を受信信号のシンボルレート f_s の2倍の周波数で反転/非反転する第2の反転/非反転手段と、

を含むことを特徴とするクロック再生回路。

【請求項7】 請求項4または請求項5または請求項6に記載されているクロック再生回路において、

受信信号のシンボルレート f_s の4倍の周波数でオーバーサンブルされた再生クロック手段信号を、補間する補間手段と、

を含むことを特徴とするクロック再生回路。

【請求項8】 請求項4または請求項5または請求項6または請求項7に記載されているクロック再生回路において、

前記平均化手段のレベルを検出するレベル検出手段と、上記レベル検出手段の出力信号を用いて、平均化手段が出力する信号のレベルを制御する出力レベル設定手段と、

を含むことを特徴とするクロック再生回路。

【請求項9】 請求項4または請求項5または請求項6または請求項7または請求項8に記載されているクロック再生回路において、

前記平均化手段は、

出力する信号のレベルを検出するレベル検出手段と、

上記レベル検出手段の出力信号を用いて平均化手段の出力値をホールドするホールド手段と、

を含むことを特徴とするクロック再生回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【産業上の利用分野】この発明は、復調器のクロック再生回路に関するものである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0091

【補正方法】変更

【補正内容】

【0091】非線形処理回路402の出力信号に含まれるクロック成分の周波数を f_{clk} とすると、低域通過フィルター425、426の出力信号からは、受信機の固定発振器の周波数 f_1 との周波数偏差 Δf が出力される。本実施例においては、この周波数偏差 Δf に再び受信機の固定発振周波数 f_1 を乗算しているので、出力されるクロックの周波数は $\Delta f + f_1 \equiv f_{clk}$ となる。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.